

논문 2024-62-1-5

열산화 Tantalum Oxide 및 원자층 증착 Aluminum Oxide 게이트 절연막 a-IGZO 박막트랜지스터 특성 비교

(A Comparative Study between Thermal Tantalum Oxide and
ALD-deposited Aluminum Oxide Gate Insulators in a-IGZO Thin-film
Transistor)

유 은 성*, 황 상 호*, 정 아 현*, 문 승 재*, 배 병 성**

(Eun-Seong Yu, Sang-Ho Hwang, Ah-Hyun Jeong, Seung-Jae Moon, and Byung Seong Bae[©])

요 약

열산화 공정으로 형성되는 높은 유전율을 가지는 게이트 절연막을 사용하여 진공증착 대비 공정 비용과 표면 오염 등이 낮고 고유전율의 게이트 절연막을 가지는 a-IGZO (amorphous InGaZn Oxide) 박막트랜지스터를 연구하였다. 본 연구에서 제안된 tantalum oxide 절연막은 높은 유전율을 가지며 깃스 프리에너지가 낮아 산화가 용이하여 다른 재료에 비해 낮은 온도에서 열산화가 잘 된다. 원자층 증착 aluminum oxide 막을 게이트 절연막으로 사용하는 a-IGZO 박막 트랜지스터를 제작하고 특성을 비교 하였다. 열산화 tantalum oxide a-IGZO TFT는 $25.7 \text{ cm}^2/\text{V}\cdot\text{s}$ 의 이동도 값을 가져, aluminum oxide a-IGZO TFT 대비 3배의 이동도를 보였다. 높은 유전율, 열산화에 의한 게이트절연막과 a-IGZO 층의 오염 저감 등이 주요한 원인으로 제시 되었다. 열산화 게이트 절연막이 증착 절연막에 비해 높은 이동도를 보여 주었으며 높은 이동도는 디스플레이의 집적도를 높이고 고속 동작에 기여 할 수 있다.

Abstract

In our investigation, we introduce a novel approach to fabricate a-IGZO thin-film transistors featuring a high-k gate insulator formed via thermal oxidation. This pioneering method promises to significantly enhance the electrical characteristics crucial for high-resolution displays and low-voltage operations. Notably, the thermal oxidation process presents distinct advantages including reduced costs and decreased surface contamination in contrast to vacuum deposition techniques. Our study focuses on the utilization of tantalum oxide as the gate insulator renowned for its high dielectric constant. The tantalum oxide a-IGZO thin-film transistors developed through this process demonstrate an impressive mobility of $25.7 \text{ cm}^2/\text{V}\cdot\text{s}$, representing a remarkable threefold improvement over their aluminum oxide counterparts. High mobility enables the development of high-density and high-speed display applications.

Keywords : a-IGZO TFT, High-k, Tantalum oxide, Indium rich

I. 서 론

디스플레이 소자로서 Liquid crystal display (LCD)와 organic light emitting diode (OLED) 가 널리 사용

되고 있으며 좋은 화질을 구현하기 위하여 박막트랜지스터 기반의 백플레인이 사용된다. 디스플레이 백플레인에는 수소화된 amorphous silicon (a-Si:H), low temperature poly silicon (LTPS) 및 oxide 박막 트랜

*비회원, **정회원, 호서대학교 반도체공학과(Department of Semiconductor Engineering, Hoseo University)

[©] Corresponding Author(E-mail : bsbae3@hoseo.edu)

※ This work was supported by "Regional Innovation Strategy (RIS)" through the National Research Foundation of Korea (NRF) funded by the Ministry of Education(MOE)(2021RIS-004).

Received ; October 24, 2024

Revised ; October 28, 2024

Accepted ; December 5, 2024

지스터 (TFT; thin-film transistor)와 같은 여러 종류의 TFT가 사용된다. 비정질 In-Ga-Zn oxide (a-IGZO)는 a-Si:H 대비 높은 이동도를 가지며, LTPS 대비 높은 균일도를 가져 대면적 디스플레이에 유리하다^[1]. 차세대 디스플레이는 낮은 소비전력과 고해상도가 요구되며 VR/AR(vertual reality/augmented reality), 웨어러블 디바이스 등 소형 디바이스는 회로의 집적과 저전력 동작이 요구된다^[1, 2].

고해상도와 집적회로의 동작을 위해 우수한 트랜지스터 특성이 요구되며 게이트 절연막의 게이트 전기용량이 중요한데 절연막이 얇고 유전상수가 높아야 게이트 전기용량이 증가하고 높은 전류를 얻을 수 있다. 얇은 두께의 산화물은 절연과파 전압을 감소시키고 누설 전류를 증가시키므로 고유전율 재료를 사용하여 두께 감소를 줄여 이를 개선할 수 있다. 유전율이 높은 여러 종류의 금속 산화물이 있다. 대표적으로 aluminium oxide의 유전율은 9, band gap은 8.8 eV, hafnium oxide의 유전율은 25, band gap은 5.8 eV, 그리고 tantalum oxide의 유전율은 22, band gap은 4.4 eV이다^[3]. 고유전율 재료를 게이트 절연막에 사용함으로써, 문턱전압을 감소시키고 이동도를 향상시킬 수 있다. 대표적으로 aluminum oxide는 SiO₂ 대비 높은 유전율을 가지며, 증착 공정으로 저온 공정이 가능한 장점이 있다^[3-6].

게이트 절연막이 TFT의 이동도와 문턱전압 등에 영향을 미치므로 게이트 절연막의 특성이 중요하다. 일반적으로 TFT의 절연막은 physical vapor deposition (PVD), chemical vapor deposition (CVD), 그리고 atomic layer deposition (ALD)와 같은 진공증착 공정을 통해 증착된다. 하지만 진공증착의 경우, 표면 오염과 높은 투자 및 공정 비용의 단점이 있다^[7].

산화물 트랜지스터의 이동도를 향상시키는 방법으로 a-IGZO의 조성비를 변화시키는 방법이 있다. 대표적으로 indium 비율이 높은 a-IGZO를 사용한 TFT는 이동도가 향상되는 것으로 보고되었다. Indium은 a-IGZO 결합에서 이동도 향상에 기여한다^[8, 9].

열산화를 이용한 실리콘산화막이 실리콘 반도체 공정에서 널리 사용되어 왔으며 증착 공정에 비하여 특성이 우수한 절연막을 확보 할 수 있다. 박막 트랜지스터에서 게이트 절연막은 주로 진공 증착법으로 형성되며 용액공정으로 형성되기도 한다. 이러한 진공 증착이나 용액 공정 대신에 게이트 전극을 열산화 하여 게이트 절연막으로 사용하는 방법이 연구되었으며 열산화 게

트 절연막은 증착 공정 등이 생략되어 공정이 단순화되는 장점이 있다. 더불어 열산화 공정은 산화반응을 통해 산화물이 성장하여 표면 오염의 영향을 적게 받는다^[10].

Tantalum oxide 를 게이트 절연막으로 사용한 선행 연구들이 있으며 sputtering을 통해 증착된 tantalum oxide의 경우 46.2 cm²/V/s의 이동도를 갖는 ZnO TFT가 보고되었다. 그러나 SiO₂막을 추가하는 스택 구조로 복잡하며 스퍼터활성층으로 ZnO가 사용되어 현재 제품에 적용되고 있는 a-IGZO에 대한 적용 평가가 필요하다. Martins 등은 Ta₂O₅와 SiO₂의 다층 박막으로 높은 유전율과 낮은 결함 밀도를 구현할 수 있는 게이트 절연막을 제안하였으나 SiO₂와 Ta₂O₅ 를 동시 스퍼터링하는 복잡한 증착법을 사용하고 있다^[11, 12]. 또한, 이들 방법들은 스퍼터링 방법을 사용하고 있으며, 절연막 증착을 스퍼터링으로 진행하는 동안 이온충돌에 의한 계면 결함이 증가하는 단점이 있다.

Tantalum을 열산화 공정으로 게이트 절연막에 적용된 연구는 보고된 내용이 많지 않다. 그 중 열계면산화를 통해 제작된 수직 구조의 a-IGZO TFT의 경우, a-IGZO가 노출되어있는 상태에서 열산화공정을 통해 a-IGZO와 Ta 금속의 접촉면에서 Ta을 산화시켜 tantalum oxide를 성장시켰으며, 이를 게이트 절연막으로 사용하였다. 다른 하나는 tantalum metal을 열산화 공정을 통해 tantalum로 성장시켜 게이트 절연막으로 사용하였으며, 20 이상의 이동도를 구현하였다. 일반적인 tantalum oxide의 band gap은 4.4 eV로 10 V 이상의 높은 전압에서 사용할 경우 절연 파괴, 누설 전류 증가와 같은 단점이 존재한다. 따라서, tantalum oxide는 비교적 높은 유전상수를 갖고 있으나 게이트 절연막의 역할을 수행하기에는 어려움이 있다. 하지만 저전압 구동을 목표로 TFT 소자를 동작함으로써 이러한 단점을 보완할 수 있다^[3, 10, 13].

본 연구에서 채택된 트랜지스터 구조는 bottom gate 구조이며 게이트 전극 표면을 열산화 공정으로 게이트 절연막을 형성한 후에 남은 금속이 게이트 전극 역할을 하도록 하였다. 여러 금속 후보 중 탄탈륨은 열산화로 성장된 tantalum oxide의 유전상수가 20 이상이며, aluminum oxide 대비 높은 유전 상수를 갖고 있다. 또한, 본 연구에서는 게이트 절연막 이외에 게이트 전극 역할을 수행할 수 있어야 한다. 따라서 Ta의 경우 Al에 비해 전기저항이 높지만, Hf에 비해서는 낮은 전기저항을 갖는다. Al의 경우 저항이 낮아 배선재료로 적합하

지만 힐록이 잘 생기는 단점이 있어 열처리에 의한 절연막 생성에는 적합하지 않다. 따라서 비교적 낮은 온도의 열산화로 산화물의 형성이 가능한 Ta이 게이트 전극으로 유리하다^[3, 10].

본 연구에서는 Ta 열산화 공정을 사용한 게이트 절연막과 ALD로 증착된 aluminum oxide의 게이트 절연막을 사용하는 두 경우에 대해 a-IGZO TFT의 특성을 비교 분석 하였다.

II. 실험

본 연구에서는 열산화로 성장된 tantalum oxide 게이트 절연막과 ALD로 증착된 aluminum oxide 절연막을 사용한 두 종류의 bottom gate a-IGZO TFT를 제작하였다. 게이트 절연막 공정을 제외한 모든 공정은 동일한 방법으로 제작되었다. 공정 순서는 다음과 같다.

세정이 완료된 유리기판 상단에 DC magnetron sputtering을 통해 300 nm 두께의 Ta을 증착하였다. Ar gas flow는 20 sccm이며, 압력은 5 mTorr, DC power는 125 W이다. 게이트 전극으로 사용된 Ta은 reactive ion etcher(RIE)를 통해 패터닝 되었다. RIE를 통해 사용된 process gas flow는 SF₆ 40, Ar 10, O₂ 10 sccm이며 공정 압력은 0.1 Torr이다. 사용된 RF power는 100 W로 300 초 이내에 모두 식각 되었다.

다음은 게이트 절연막 공정이다. 게이트 절연막의 경우 aluminum oxide와 tantalum oxide로 구분된다. 먼저 aluminum oxide TFT의 경우, thermal ALD로 850 cycle, 80 nm 두께로 증착되었으며, thermal ALD의 챔버 내부의 온도는 150 °C로 설정되었다. 사용된 프리커서는 trimethylaluminium (TMA)이며, 반응물질로는 H₂O가 사용되었다. Tantalum oxide TFT의 경우, 게이트 전극인 Ta의 표면을 산소 분위기 퍼니스에서 열산화하여 Tantalum oxide를 형성하였다. 산소 압력은 0.2 bar이며, 유량은 10 sccm으로 설정되었다. 이후 20분 동안 500 °C의 온도에서 열산화 공정을 진행하여 게이트 절연막을 성장시켰다.

게이트 절연막 공정 이후 소스 및 드레인 전극은 RF magnetron sputtering을 통해 150 nm 두께의 ITO(Sn:O=9:1 at%)를 증착였다. Ar gas 20 sccm을 사용하였으며, 공정 압력은 5 mTorr, RF power는 100 W가 사용되었다. 패터닝의 경우, 포토리소그래피 공정으로 습식 식각되었으며, 왕수 용액 온도 50 °C에서 3분 이내에 모두 식각 되었다.

반도체층으로 사용한 a-IGZO(In:Ga:Zn=2:1:2 at%)는 30 nm 두께로 증착되었으며, 기판의 온도는 250 °C로 가열되었다. 가스 유량의 경우 Ar gas 22.5, O₂ 7.5 sccm이며, 공정 압력은 5.6 mTorr, RF power는 50 W를 사용하였다. a-IGZO의 패터닝은 BOE (buffered oxide etchant)를 사용하였으며, BOE:water = 3000:1로 희석하여 사용되었다.

마지막으로 a-IGZO의 산소 공공 등의 결함을 줄이기 위해 퍼니스에서 산소 분위기로 250 °C 온도로 1 시간동안 열처리를 진행되었다. 그림 1은 제작된 bottom gate a-IGZO TFT의 단면도를 보여준다.

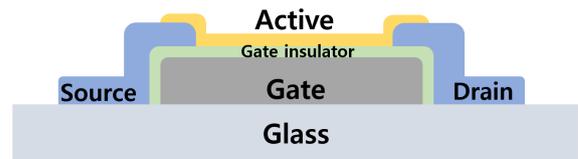


그림 1. 개발된 bottom gate a-IGZO TFT의 단면 구조
Fig. 1. The cross-sectional structure of the developed bottom gate a-IGZO TFT.

IV. 결과 및 토론

Tantalum oxide는 Ta 표면을 열산화하여 형성된다. 박막의 유전율 및 커패시턴스를 확인하기 위해 *p*-type silicon wafer에 Ta을 증착 후 열산화를 통해 80 nm의 tantalum oxide를 형성하였으며, 비교를 위해 동일한 기판 상에 aluminum oxide를 ALD로 증착하였다.

두 절연막에 대해 유전율과 전기용량을 측정하였다. 그림 2는 tantalum oxide와 aluminum oxide의 capacitance-voltage (C-V) curve이다. 열산화로 성장된 tantalum oxide와 ALD로 증착된 aluminum oxide의 C_{max}값은 각각 1.39 nF, 695 pF으로 측정되었으며, 유전율은 각각 17과 8로 계산되었다. Tantalum oxide의 경우 열산화 공정을 통한 성장을 위해서는 충분한 시간과 열에너지가 필요하다. 선행연구에서 20분으로 열산화를 진행하는 경우 tantalum oxide의 결함은 Ta₂O₅와 Ta₂O 두 개의 산화물이 공존하는 것을 확인하였다. 따라서 일반적인 Ta₂O₅의 유전상수가 25 이상인 것에 비해 20분의 열산화로 성장된 tantalum oxide의 경우 두 개의 산화물 혼합에 의해 25보다 낮은 유전율을 갖는다^[10]. 하지만, tantalum oxide는 aluminum oxide 대비 2배 이상의 유전율을 갖는 것을 확인하였으며, 게이트 절연막으로서 더 높은

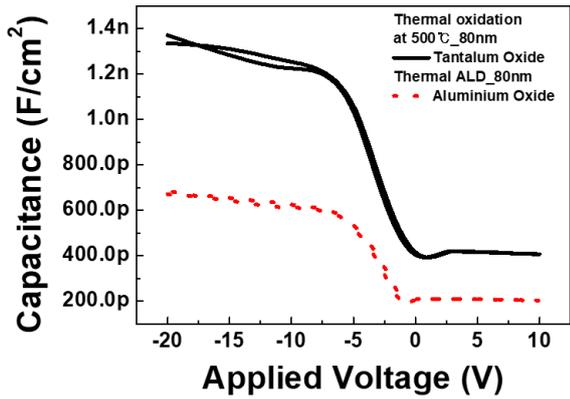


그림 2. 열산화로 성장된 tantalum oxide와 ALD로 증착된 aluminum oxide의 C-V curve 비교
Fig. 2. Comparison of C-V curves of tantalum oxide grown by thermal oxidation and aluminum oxide deposited by ALD.

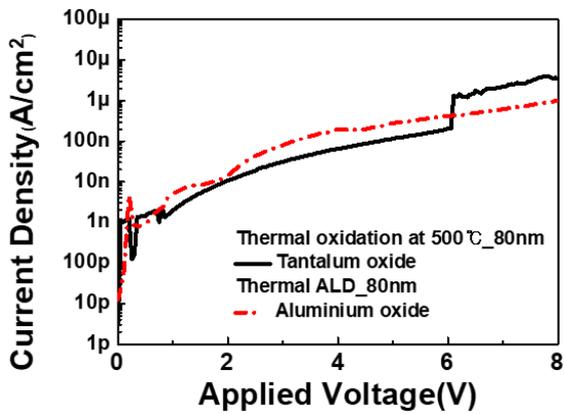


그림 3. 열산화로 성장된 tantalum oxide 및 ALD로 증착된 aluminum oxide의 I-V characteristics.
Fig. 3. The I-V characteristics of thermally grown tantalum oxide and ALD aluminum oxide.

전기용량을 실현 할 수 있다.

저전압 구동을 위한 금속 산화물의 breakdown voltage를 측정하여 절연특성을 확인하였다. 측정된 전기적 특성은 그림 3과 같다. 검정선 및 빨간선은 각각 tantalum oxide 및 aluminum oxide의 전류 측정 결과이다. Tantalum oxide 는 aluminum oxide 보다 낮은 밴드갭을 가져 고전압 구동에서는 보다 높은 누설전류 및 보다 낮은 절연과피 전압을 일반적으로 가진다. 본 연구의 목적은 5 V 이내 구동을 목표로 하는 저전압 구동이며 1 $\mu\text{A}/\text{cm}^2$ 에 도달하는 것을 누설전류의 기준으로 정리하였을 때, 두 산화물 모두 동작 전압 범위 내에서 큰 차이를 보이지 않으며, TFT 게이트 절연막으로 적합함을 확인하였다.

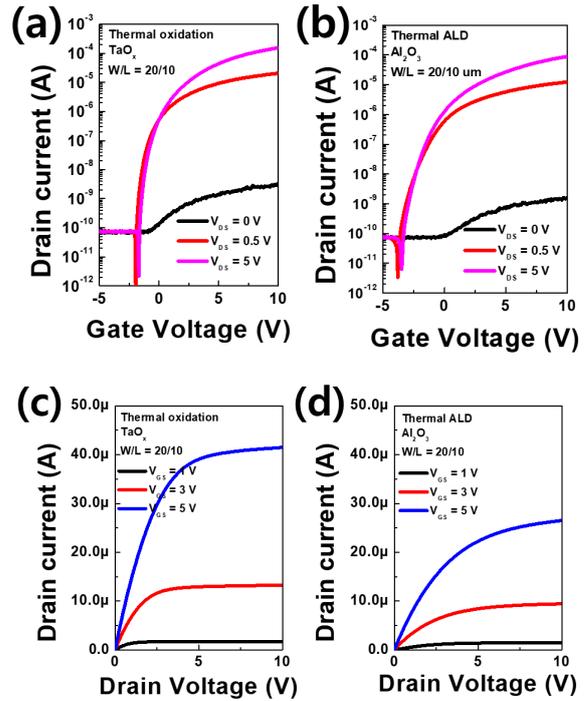


그림 4. Tantalum oxide 사용한 a-IGZO TFT 및 aluminum oxide 사용한 a-IGZO TFT의 전기적 특성 비교
Fig. 4. Comparing of electrical characteristics of a-IGZO TFT using tantalum oxide and a-IGZO TFT using aluminum oxide.

그림 4(a), (c)는 500 °C에서 산소 분위기로 열산화된 tantalum oxide를 게이트 절연막에 적용한 bottom gate a-IGZO TFT의 transfer characteristics와 output characteristics, 그리고 그림 4(b), (d)는 thermal ALD로 증착된 aluminum oxide 를 게이트 절연막에 적용한 bottom gate a-IGZO TFT의 transfer characteristics와 output characteristics를 보여준다. 포화영역에서 전기적 파라미터 특성을 추출하였다. 포화영역에서 계산된 공식은 식 (1)과 같다.

$$I_{DS} = \frac{1}{2} \frac{W}{L} \mu_{FE} C_i (V_{GS} - V_{TH})^2 \quad (1)$$

Tantalum oxide 그리고 aluminum oxide TFT 소자의 이동도는 각각 25.7, 7.16 $\text{cm}^2/\text{V}\cdot\text{s}$ 이며, threshold voltage는 1.7, 1.6 V이다. on-off ratio는 4.34×10^6 , 1.06×10^6 그리고 subthreshold swing (S.S.)는 0.26, 0.37 V/dec 였다. 유전율이 높은 tantalum oxide를 게이트 절연막으로 사용했을 때, 전체적인 전기적 특성이 aluminum oxide보다 향상된 것을 확인하였다.

본 연구에서의 특성 향상을 비교하기 위해 비슷한 조건인 aluminum oxide의 두께는 100 nm 이하 그리고

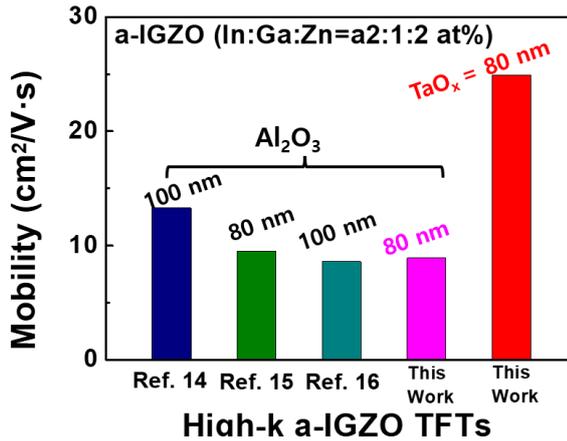


그림 5. High-k 게이트 절연막을 사용한 a-IGZO TFTs (2:1:2 at%)의 이동도 비교

Fig. 5. Comparison of the mobility of a-IGZO TFTs (2:1:2 at%) using high-k gate insulator.

a-IGZO (2:1:2 at%) target을 사용한 참고문헌들의 특성과 비교분석 하였다^[14-16]. Aluminum oxide 게이트 절연막의 경우, 타 참고문헌 대비 근사한 이동도를 갖고 있다. 하지만 본 연구에서 비슷한 조건의 aluminum oxide 게이트 절연막과 비교하였을 때의 a-IGZO TFT에서 TaO_x a-IGZO TFT의 이동도는 25.7 cm²/V·s로 약 3배의 이동도 증가가 관찰되어 충분한 전기적 특성 향상을 확인하였다. 그림 5는 열산화로 성장된 tantalum oxide a-IGZO TFT 및 thermal ALD로 증착된 aluminum oxide a-IGZO TFT와 참고문헌의 이동도 비교를 보여준다.

두 절연재료의 차이는 열성장법과 증착법의 차이이므로 열성장법과 증착법의 차이가 이동도의 차이에 일정 부분 기여하는 것으로 생각할 수 있다. 열성장의 경우는 산소분위기에서 산화를 통해 절연막을 형성하므로 산화막과 반도체 막의 계면이 진공 증착법에 비하여 표면 오염 및 결함에 대한 영향이 적다. 그리고 증착법의 경우 초기 증착 과정에서의 표면 결함 생성 가능성이 높지만 열산화의 경우 산소의 확산에 의해서 이루어 지므로 증착 과정에서 생기는 표면 결함으로부터 자유롭고 낮은 표면 거칠기의 장점을 갖는다. 따라서, 캐리어들의 산란이 줄어들어 이동도의 향상에 기여할 수 있다. 유전율의 관점에서는 tantalum oxide의 유전율이 aluminum oxide의 유전율보다 높아서 계면에 형성되는 캐리어 농도가 높고 더욱 degenerate 상태가 되는 것도 이동도의 향상에 기여 할 수 있는 부분이다^[17-20]. 추후 추가적인 연구를 통해 절연막 형성 방법의 차이가 이동도에 미치는 영향을 더욱 자세히 규명하고자 한다.

V. 결 론

본 연구에서는 열산화 공정을 통해 성장된 게이트 절연막을 사용한 a-IGZO TFT를 제안하고 제작 및 측정 분석하였다. 디스플레이의 집적도 증가 및 저전력 구동을 위해서 TFT의 특성 향상이 요구되며 고유전율 재료를 게이트 절연막에 적용하였으며, indium rich a-IGZO를 반도체층으로 사용하였다. 게이트 절연막은 기존 진공증착 공정대신 열산화 공정을 제안하였다. 열산화 공정은 진공증착 대비 낮은 공정 비용과 적은 표면 오염 영향 등의 장점을 갖는다.

제안된 열산화로 성장된 tantalum oxide a-IGZO TFT의 이동도는 25.7 cm²/V·s, ALD로 증착된 aluminum oxide a-IGZO TFT의 이동도는 7.16 cm²/V·s로 계산되었으며 이동도가 3배 이상 증가하였다. 제안된 열산화 공정을 통해 성장된 tantalum oxide 기반 a-IGZO TFT는 공정 단순화 이점을 가지며, 비용면에서 유리하다. 또한, 동일 구조에서 4.34×10⁶의 on-off ratio와 0.26 V/dec의 S.S. 향상된 특성을 보유하여 저전력 구동 기반의 TFT 및 여러 TFT 응용 회로에 적용할 수 있다^[21].

감사의 글

본 논문은 2024년도 교육부의 재원으로 한국연구재단의 지원을 받아 수행된 지자체-대학 협력기반 지역 혁신 사업의 결과입니다(2021RIS-004).

REFERENCES

- [1] J. S. Park, W. J. Maeng, H. S. Kim, J. S. Park, "Review of recent developments in amorphous oxide semiconductor thin-filmtransistor devices.", *Thin Solid Films*, vol. 520, no. 6, pp. 1679-1693, Jan 2012.
- [2] D. S. Ji, J. S. Jang, J. H. Park, D. S. Kim, Y. S. Rim, D. K. Hwang, "Recent progress in the development of backplane thin film transistors for information displays.", *J. Inf. Disp.*, vol. 22, no. 1, pp. 1-10, Sep. 2021.
- [3] J. Robertson, "High dielectric constant oxides", *The European Physical Journal-Applied Physics*, vol. 28, pp. 265-291, Dec. 2004.
- [4] J. M. Park, H. J. Kim, P. H. Choi, B. Y.

- Jeon, J. Y. Lee, C. Y. Oh, B. S. Kim, B. D. Choi, "Effect of ALD- and PEALD-Grown Al_2O_3 gate insulators on electrical and stability properties for a-IGZO thin film transistor.", *Electron. Mater. Lett.* vol. 17, pp. 299-306, July 2021.
- [5] S. N. Choi, S. M. Yoon, "Implementation of In-Ga-Zn-O thin-film transistors with vertical channel structures designed with atomic layer deposition and silicon spacer steps.", *Electron. Mater. Lett.*, vol. 17, pp. 485-492, Nov 2021.
- [6] X. L. Wang, F. Shan, H. L. Zhao, J. Y. Lee, S. C. Yoo, H. G. Ryu, S. K. Choi, T. Anvar, S. J. Kim, "Aluminum oxide/fluoride self-assembled monolayer double gate dielectric for solution-processed indium oxide thin-film transistors.", *Electron. Mater. Lett.*, vol. 18, pp. 423-430, Sep. 2022.
- [7] Majee, S., Barshilia, D., Kunar, S., Mishra, P., Akhtar, J., "Signature of growth deposition technique on the properties of PECVD and thermal SiO_2 ." *AIP Conf Proc Vol 1989*, Issue 1, p. 02002, July 2018.
- [8] K. Nomura, A. Takagi, T. Kamiya, H. Ohta, M. Hirano, and H. Hosono, "Amorphous oxide semiconductors for high-performance flexible thin-film transistors", *Japanese J. Appl. Phys., Part 1*, vol. 45, no. 5S, pp. 4303-4308, May 2006.
- [9] S. W. Lee and S. K. Joo, "Low temperature poly-si thin-film transistor fabrication by metal-induced lateral crystallization", *IEEE Electron Device Lett.*, vol. 17, no. 4, pp. 160-162, Apr. 1996.
- [10] E. S. Yu, S. G. Kim, S. J. Kang, H. S. Lee, J. M. Lee, S. J. Moon, and B. S. Bae, "Low Voltage a-IGZO Thin Film Transistor Using Tantalum Oxide by Thermal Oxidation", *Electron. Mater. Lett.*, vol 20, no. 2, pp. 102-110, Mar. 2024.
- [11] Zhang, L., Li, J., Zhang, X.W., Yu, D.B., Jiang, X.Y., Zhang, Z.L., "Glass-substrate-based high-performance ZnO-TFT by using a Ta_2O_5 insulator modified by thin SiO_2 films.", *Phys. Status. Solidi A*, Vol 207, no. 8, pp. 1815-1819, Jun 2010
- [12] Martins, J., Kiazadeh, A., Pinto, J.V., Rovisco, A., Goncalves, T., Deuermeier, J., Alves, E., Martins, R., Fortunato, E., Barquinha, P., " $\text{Ta}_2\text{O}_5/\text{SiO}_2$ multi-component dielectrics for amorphous oxide TFTs." *Electron. Mater.*, vol 2, no. 1, pp. 1-16, Dec 2020
- [13] Y.J. Beak, I.H. Kang, S.H. Hwang, Y.L. Han, M.S. Kang, S.J. Kang, S.G. Kim, J.G. Woo, E.S. Yu, and B.S. Bae, "Vertical oxide thin-film transistor with interfacial oxidation", *Scientific Reports*, vol 12, p. 3094, Feb 2022
- [14] Y. Kim, C. Ahn, M. Yun, et al., "Periodically pulsed wet annealing approach for low-temperature processable amorphous InGaZnO thin film transistors with high electrical performance and ultrathin thickness.", *Sci. Rep.*, vol. 6, p. 26287, May 2016.
- [15] H. -W. Jang, K. -H. Kim, S. Oh, and S. -M. Yoon, "Analysis on Mechanical-Strain Induced Bias-Stress Instabilities for the Flexible InGaZnO Thin Film Transistors with Different Channel Geometries," 26th International Workshop on Active-Matrix Flatpanel Displays and Devices, pp. 1-4, July 2019.
- [16] H. -W. Jang, H. -R. Kim, J. -H. Yang, C. -W. Byun, and S. -M. Yoon, "Impact of Al_2O_3 Buffer Layer on Ultra-Thin Flexible Polyimide Substrates for Transparent and Flexible InGaZnO Thin Film Transistors", 25th International Workshop on Active-Matrix Flatpanel Displays and Devices, pp. 1-3, July 2018.
- [17] Kim, Jong-Woo, Hyun Kyu Seo, Su Yeon Lee, Minsoo Park, Min Kyu Yang, and Byeong-Kwon Ju. 2022. "Improvement in Electrical Stability of a-IGZO TFTs Using Thinner Dual-Layer Dielectric Film" *Metals*, Vol. 12, no. 10, p. 1663, Oct 2022.
- [18] Verlaak, S., Arkhipov, V., Heremans, P., "Modeling of transport in polycrystalline organic semiconductor films." *Appl. Phys. Lett.*, Vo. 82, pp. 745-747, Feb 2003.
- [19] Völkel, A.R., Street, R.A., Knipp, D., "Carrier transport and density of state distributions in pentacene transistors." *Phys. Rev. B*, Vol. 66, p. 195336, Nov 2022.
- [20] Valletta, A., Mariucci, L., Fortunato, G., Brotherton, S.D., "Surface-scattering effects in polycrystalline silicon thin-film transistors." *Appl. Phys. Lett.* Vol. 82, pp. 3119-3121. May 2003.
- [21] H. S. Lee, S. J. Kang, J. G. Woo, E. S. Yu, C. M. Jeong, M. S. Kim, J. M. Lee, and B. S. Bae, "AMOLED Pixel Circuit Compensating Luminance Change by Area Stretching and Voltage Drop," *J. IEIE.*, vol. 59, no. 3, pp. 327-335, Mar. 2022.

— 저 자 소 개 —



유 은 성(비회원)
2021년 호서대학교
광전자 디스플레이 공학과
학사 졸업.
2023년 호서대학교 반도체공학과
석사 졸업.

<주관심분야: 박막 트랜지스터, a-IGZO, High-k Gate surround TFT, 박막 온도센서>



황 상 호(비회원)
2017년 호서대학교
광전자 디스플레이 공학과
학사 졸업.
2019년 호서대학교
전자디스플레이공학부
석사 졸업.

2023년~현재 호서대학교 반도체공학과 박사 과정.
<주관심분야: 박막 트랜지스터, a-IGZO, Vertical TFT>



정 아 현(비회원)
2023년 호서대학교
전자융합공학부
전자공학트랙 학사 졸업.

<주관심분야: 박막 트랜지스터, a-IGZO, 박막 온도 센서>



문 승 재(비회원)
2014년 호서대학교
광전자 디스플레이 공학과
학사 졸업.
2017년 호서대학교
전자디스플레이공학과
석사 졸업.

2020년 Université de Rennes 1, France
박사 졸업.
2022년 Post-doctoral researcher in France.
2023년 호서대학교 박사 후 연구원
2023년~현재 호서텍 연구원.
<주관심분야: 디스플레이, 박막 트랜지스터, 센서, Inkjet printing technology, Bio-electronics>



배 병 성(정회원) - 교신저자
1984년 서울대학교 원자공학과
학사 졸업.
1991년 한국과학기술원, 물리학과
박사
1991년~1998년 삼성전자
수석연구원

1998년~1999년 모스크바대학 방문연구원
2000년~2004년 일진디스플레이연구소장
2004년~2005년 경희대학교 객원교수
2006년~현재 호서대학교 전자 및
디스플레이공학부 교수
2014년~현재 Electronics Materials Letters
편집위원
2015년~2016년 한국정보디스플레이학회 부회장
<주관심분야: 디스플레이, 센서, 박막트랜지스터,
박막트랜지스터 회로>