

비정질실리콘 전계효과트랜지스터의 열처리 효과

배병성 · 이창우 · 유병수 · 이충훈 · 최광수 · 이주천

한국과학기술원 물리학과

(1989년 8월 9일 받음)

비정질실리콘 전계효과트랜지스터를 450°C에서 열처리하였다. 열처리 후 문턱전압과 on-전류는 증가하였으며 열처리 전에는 정공(hole)전류를 관찰할 수 없었으나 열처리 후에는 정공-전류가 관찰되었다. 이 트랜지스터를 수소 플라즈마 분위기에서 수소화를 하여 변화를 관찰한 결과, 플라즈마 발생시에 가하는 13.56 MHz의 rf 세기 0.15 W/cm² 정도에서는 특성의 변화가 없었으나, 0.4 W/cm²의 세기에서는 정공-전류가 사라졌다. 350°C로 열처리를 한 후, 전자-전류는 변화가 없고 정공-전류가 다시 나타났다. 이러한 변화는 전극과 실리콘과의 접촉면의 전기적 구조가 열처리와 수소화에 의해 많이 변하기 때문으로 이해되는데 페르미준위의 이동으로 정공에 대한 포텐셜장벽이 변하기 때문으로 생각된다.

I. 서 론

수소화된 비정질실리콘(hydrogenated amorphous silicon: a-Si:H) 전계효과트랜지스터(field effect transistor: FET)의 일반적인 구조는 그림 1과 같다. 게이트 전극에 양(+)의 전압을 가하면 수소화된 비정질실리콘(a-Si:H)층과 수소화된 비정질실리콘 나이트라이드(a-SiN:H)층 사이의 계면(interface)에 전자축적층이 생겨 소스(source) 전극과 드레인(drain) 전극 사이의 전기전도도가 증가하게 된다.

a-Si:H FET는 계면이나 준안정상태(metastable state)의 연구와 액정 평판표시기 등에의 응용을 위하여 많이 연구되어 왔다.⁽¹⁻³⁾ 수소화된 비정질실리콘(a-Si:H)은 넓은 면적에 증착이 가능하고 임의의 기판에 증착할 수가 있고 가격이 저렴하며, 낮은 온도에서 증착이 가능하다는 장점이 있지만 이동도(mobility)가 작고 결합이 많아 전기적 성질이 좋지 않다는 단점이 있으며 바이어스나, 빛의 조사(illumination) 혹은 도핑(doping) 등에 의하여 준안정상태들이 나타나므로 특성이 안정하지 않다는 단점이 있다.⁽⁴⁾

지금까지 수소화된 비정질실리콘 전계효과트랜지스터는 SiH₄ 기체분위기에서 양극판 사이에 13.56 MHz의 radio frequency(rf)를 가하여 낮은 온도에서 증착하는 PECVD(plasma enhanced chemical vapor deposition) 방법이 주로 사용되어 왔으며 기체분해를 위해 레이저나 자외선 혹은 극초단파(microwave)를 이용하

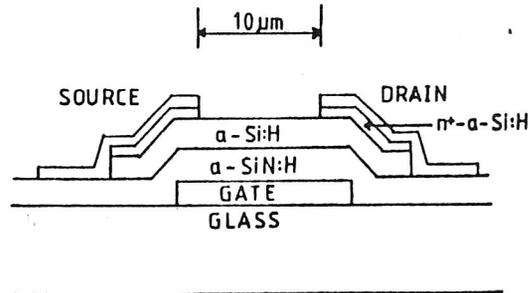


그림 1. 비정질실리콘 전계효과트랜지스터의 단면.

는 장치도 사용이 되고 있다.⁽⁵⁻⁷⁾ 비정질실리콘 제작의 최적온도는 250°C 근처로 알려져 있으며 이보다 높은 온도에서 증착하면 시료 내의 수소량이 줄어들고 땀글링본드(dangling bond)가 증가하여 전기성질이 나빠진다. 수소화된 비정질실리콘의 경우 고온에서 열처리를 하면 수소가 빠져 나가게 되는데 수소방출률은 400°C 내지 600°C에서 크다는 보고도 있다.⁽¹⁰⁾ 시료에 포함되는 수소는 비정질실리콘에 존재하는 땀글링본드를 없애주므로 시료에 포함되는 수소의 양은 중요하다.

비정질실리콘의 전기특성의 개선은 많은 국재상태(localized state) 혹은 땀글링본드들을 없애는 것과 관련이 있고 동작속도가 빠르고 특성이 안정한 재료가 요구되고 있으며 낮은 온도에서 미결정실리콘(microcrystalline silicon)이나 다결정실리콘(polycrystalline silicon)을 증착하려는 연구가 많이 진행되고 있다.^(8,9)

a-Si:H FET를 160°C 이하의 온도에서 열처리를 하

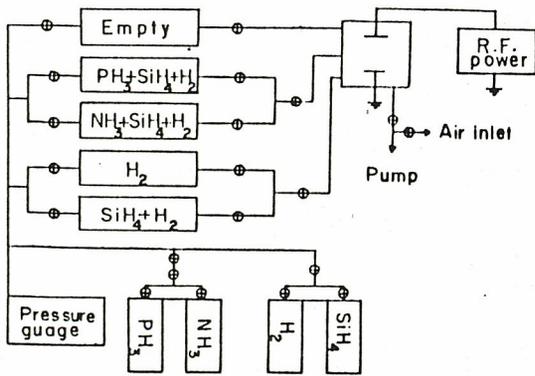


그림 2. a-Si:H, a-SiN:H, n+층을 증착하기 위하여 사용된 PECVD(plasma enhanced chemical vapor deposition) 장치의 개략도.

면 a-Si:H 층과 a-SiN:H 층 사이의 계면상태(interface state)수가 줄어들어 문턱전압이 감소한다고 보고된 바 있고⁽¹¹⁾ 200°C에서의 열처리로 소오스-드레인 전극과 실리콘 사이의 접촉면의 전기성질이 향상되어 FET의 특성이 개선된다고 보고된 바도 있다.⁽¹²⁾ 시료 제작 온도보다 높은 290°C 이상의 열처리에서 off 전류와 문턱전압이 증가하는 특성의 저하를 관찰하고 열처리로 수소가 빠져나가고 금지대 내의 상태밀도가 증가한다고 보고된 바도 있다.⁽¹³⁾ 본 실험에서는 비정질실리콘 전계효과트랜지스터의 a-Si:H와 a-SiN:H 층 사이의 계면상태와 소오스-드레인 전극과 실리콘 사이의 접촉면의 전기적 성질에 유의하여 열처리가 FET의 특성에 미치는 효과를 관찰하고 수소플라즈마 분위기에서의 수소화가 열처리된 FET에 주는 특성의 변화를 조사하여 수소화가 FET에 미치는 영향을 살펴보았다. 200°C 이하의 열처리에서는 나타나지 않는 정공전류가 450°C 열처리 후 나타남을 보았으며 수소화 후에 정공전류가 없어지고 다시 350°C 열처리 후에 정공전류가 나타남을 관찰하고 이의 원인에 대하여 고찰하였다.

II. 실험 및 결과

본 실험에서 제작한 a-Si:H FET의 구조는 그림 1과 같다. 잘 세척된 유리기판 위에 크롬을 증착한 다음 사진식각공정(photolithography)을 이용하여 게이트 전극을 형성하고 그림 2와 같은 PECVD 장치에서 실리콘나이트라이드, 실리콘, n+ a-Si:H 층을 차례로 증착한다. 이 때 전극간격은 4.5cm, 전극직경은 16cm, rf 세기(power)는 0.1W/cm², 기판온도 250°C이고

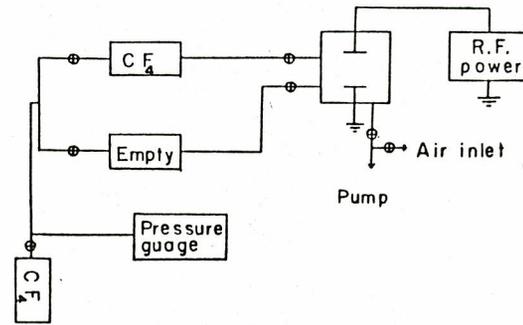


그림 3. n+층을 제거하기 위하여 사용된 플라즈마 에칭 장치의 개략도.

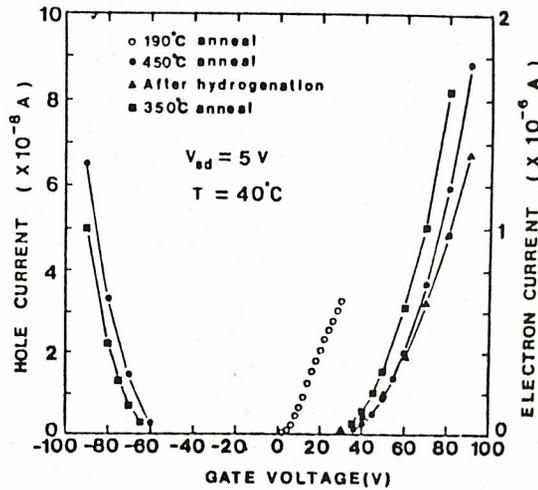


그림 4. 게이트 전압에 따른 소오스-드레인 전류의 변화. 소오스-드레인 전압은 5V이다. 소오스-드레인 전류가 0 근처일 때의 값은 표시하지 않았다.

a-SiN:H 증착시 SiH₄ 기체와 NH₃ 기체의 압력비는 1:7.5였다. 이어서 알루미늄을 증착하고 사진식각공정을 이용하여 소오스-드레인 전극을 형성하였다. 그리고 그림 3과 같은 플라즈마 에칭 장비에서 소오스-드레인 전극 사이에 남아있는 n+ a-Si:H 층을 제거하였다. 이때 0.3torr의 CF₄ 기체분위기, 기판온도 100°C, rf 세기 30W였다. 실리콘과 실리콘나이트라이드의 두께는 각각 3000Å, n+층의 두께는 500Å, channel의 길이 10μm이고 폭은 200μm이다.

제작된 시료는 확산펌프(diffusion pump)를 이용한 진공에서 190°C 1시간 열처리하여 표면흡착물과 잔존 준안정상태들을 없앤다음 40°C에서 소오스-드레인 전압을 5V로 하고 게이트 전압을 변화시키면서 소오스-드레인

전류를 측정하였다. 이 때 그림 4에서 보는 바와 같이 전자에 의한 전류는 게이트 전압이 증가하면서 급격히 증가를 하지만 정공-전류는 나타나지 않는다.

450°C에서 1시간 열처리를 하고 40°C에서 게이트 전압을 변화시키면서 소오스-드레인 전류를 측정하여 그림 4의 까만 원과 같은 값을 얻었다. 문턱전압의 증가를 볼 수 있고, 열처리 전에는 없었던 정공에 의한 전류도 나타난다.

이 FET를 수소압력 0.3 torr, rf 세기 0.4 W/cm², 기판온도 200°C의 수소플라즈마 분위기에서 1시간 수소를 화를 한 후, 플라즈마 분위기에서 생성될 수 있는 준안정상태 혹은 시료에 있을 수 있는 전하들을 줄이기 위해 200°C에서 1시간 둔 후 40°C에서 측정한 특성은 그림 4의 까만 삼각형으로 표시되어 있다. 전자에 의한 전류는 수소화 후 변화하지 않지만 정공에 의한 전류는 없어진다. 이러한 정공에 의한 전류변화는 수소화시 rf 세기가 0.16 내지 0.2 W/cm²로 낮을 때는 나타나지 않았다.

이것을 다시 350°C에서 1시간 열처리 한 후의 특성은 그림 4의 까만 사각형으로 표시되어 있는데 다시 정공에 의한 전류가 나타남을 알 수 있다. 그리고 이 때 전자-전류는 수소화 전이나 후, 그리고 마지막의 350°C 열처리 후 등의 세 가지 경우 모두 별 변화가 없다.

III. 논 의

정공전류는 음(-)의 게이트 전압에 대한 계면에서의 정공의 축적(accumulation)과 소오스-드레인 전극면에서의 정공의 유입으로 나타나는 것이므로 계면의 상태 혹은 소오스-드레인 전극면의 에너지 구조와 관계가 있다.

계면의 상태를 고려할 경우 정공전류가 나타나지 않는 것은 계면근처에서 밴드 힘을 방해할 만큼 정공에 대한 덫(trap center)이 존재하기 때문으로 생각할 수 있으며, 있다면 어떤 상태로 존재하기 때문에 열처리나 수소화에 의해 변하는가 하는 것이 논의의 대상이 된다.

반면에 이러한 계면에서의 현상이 아니라 전극면에서의 정공의 유입에 관련된 것이라면 전극면에서의 정공에 대한 포텐셜장벽의 변화에 따른 정공의 유입 혹은 차단이 정공전류에 영향을 주는 것일 것이다.

1. 450°C 열처리 후 문턱전압의 증가

450°C 열처리 후 문턱전압이 수 볼트에서 수십 볼트로 증가하였다. 문턱전압의 변화는 나이트라이드 절연층에 잡히는 전하가 없을 경우에 실리콘의 금지대내 상태밀도

혹은 계면상태밀도의 변화가 주원인이다.

PECVD a-Si:H에서 열처리 온도가 증착온도 250°C보다 높으면 수소가 빠져나가기 시작하고 덩글링본드는 증가하여 전기성질이 나빠진다는 것이 알려져 있다. 수소는 비정질실리콘내에 존재하는 많은 결함(defect)들을 줄여주는데 이러한 수소들이 빠져나가므로 금지대내의 덩글링본드는 증가하고 광학적 갭(optical gap)도 줄어든다. 도핑하지 않은 실리콘에서 열처리 후 전기전도 활성화에너지(conductance activation energy)가 커짐이 관찰이 되는데 본 실험실의 시료에서 0.65 eV가 400°C 열처리 후 0.71 eV로 변함이 보고된 바 있다.^[14] 즉 덩글링본드가 증가하면서 페르미준위가 금지대의 중앙으로 이동함을 나타낸다. 이러한 열처리에 의한 덩글링본드 증가는 전자전류나 정공전류 모두에 대하여 문턱전압의 증가에 기여하게 된다. 즉, 그림 4의 450°C 열처리 후의 문턱전압의 증가는 열처리 후 수소의 이탈과 함께 늘어난 금지대내의 상태밀도 때문이다.

2. 계면에서의 변화

정공전류가 나타나거나 없어지는 현상이 계면에서 비롯된 것이라면 정공전류가 나타나지 않으려면 페르미준위 아래쪽에 음(-)의 게이트 전압에 대해 밴드 힘을 방해할 만큼의 정공덫이 있어야 한다. 그림 4에서 보는 바와 같이 450°C 열처리 후에 정공전류가 나타나는 것은 열처리 후에 이러한 정공덫이 줄어들어 음의 게이트 전압에 대해서 밴드 힘이 가능해지기 때문이라고 생각할 수가 있다. 이것은 열처리 후 수소의 이탈에 따른 금지대내의 상태밀도 증가로 전자전류의 문턱전압이 증가하는 것과는 대조적이라고 할 수 있다. 고온 열처리를 할 경우에는 수소가 이탈하여 덩글링본드가 증가하므로 정공덫이 열처리 후 감소한다면 이러한 정공덫은 수소와 연관되어 있다고 보아야 한다. 그리고 또한 그림 4에서 보는 것처럼 수소화 이후에 다시 정공전류가 사라지고 350°C 열처리 후 다시 정공전류가 나타나는 것 등은 정공전류가 수소의 움직임 즉 열처리에 의한 수소의 이탈, 수소화에 의한 수소의 유입 등과 관련해서 나타나거나 없어지므로 정공덫이 존재한다면 수소와 연관되어 있다고 생각할 수 있다. 이러한 정공덫이 450°C 열처리로 사라진다면 즉 수소가 빠져나가면서 수소와 연관된 정공덫이 없어진다면 음의 게이트 전압에 대해 밴드 힘이 가능하게 되고 계면에 정공이 축적되어 정공전류가 나타날 수 있다. 그리고 수소화로 수소가 계면까지 들어가고 이 수소가 다시 수소와 연관된 정공덫을 생성시킨다면 다시

밴드 휨이 일어나기 힘들고 정공전류는 사라진다. 그리고 350°C 열처리후 수소가 이탈하여 수소와 연관된 정공덫이 없어지면 다시 정공축적층의 생성이 가능하게 되고 정공전류가 나타나게 될 것이다.

수소화에 의해서 계면에서 수소연관된 정공덫이 다시 생겨난다면 마찬가지로 계면에서의 덩글링본드도 계면까지 들어온 수소에 의해 줄어들고 따라서 전자전류의 문턱전압은 감소하여야 한다. 그러나 실험결과 전자전류의 문턱전압은 수소화 전과 후에 거의 변화가 없음을 보여 주며 이것은 수소화 후라도 계면까지 수소가 확산해 들어오지 않음을 나타낸다. 그리고 350°C 열처리 후에도, 정공전류는 다시 나타나는 변화가 있으나 전자전류는 계속 변화가 없음이 이를 뒷받침한다. 이러한 사실들은 정공전류가 계면에서의 정공덫과 관계있다는 것에 대한 반증이 될 수 있으며 전자전류의 문턱전압이 수소화 이후에 감소하지 않고 350°C 열처리 이후에 문턱전압이 증가하지 않는다는 것은 정공전류의 변화가 계면의 변화에서 비롯된 것이 아니라는 것을 나타낸다.

그리고 M. Nakamura 등⁽¹⁵⁾이 580°C에서 SiH₄ 기체를 열분해 증착한 a-Si에 대해서 수소압력 0.75 torr, rf 세기 0.51 W/cm², 기판온도 230°C에서 60분 동안 수소 플라즈마 분위기에서 수소화를 한 후 SIMS(secondary ion mass spectrometer)로 깊이에 따른 수소의 분포를 측정 한 결과는 결합수소(bonded hydrogen)의 깊이가 약 1700Å 정도의 깊이가 되는데 본 실험에서 사용한 FET의 실리콘층 두께가 3000Å인 것을 고려하면 계면에서는 수소화의 효과가 거의 없다는 실증이 될 수 있다. 그러나 실리콘층의 두께를 500 내지 1000Å으로 줄인다면 계면의 수소화에 의한 효과도 볼 수 있으리라고 생각된다.

절연층으로서 SiO₂층을 사용한 a-Si:H FET에서 Ohmic contact을 위해 n⁺층을 사용하지 않을 경우에는 전자전류와 정공전류 모두를 관찰 할 수 있다고 보고되어 있고, implantation으로 n⁺층을 만든 경우에 ambipolar TFT를 만들 수 있었다는 실험보고도 있다.^(16,17) 이러한 실험결과들은 전극과 실리콘의 접촉면의 전기적 구조가 정공이나 전자의 전류에 영향을 준다는 것을 나타낸다.

3. 소오스-드레인과 실리콘사이의 접촉면

인(P)이 많이 도핑된 실리콘층은 전자에 대한 Ohmic contact을 만들기 위하여 널리 쓰이는 방법이다. 전극의 금속과 n⁺층의 접촉면에서는 얇은 쇼트키장벽이 생길 것이므로 전극면-n⁺층-실리콘층의 밴드구조는 그림 5

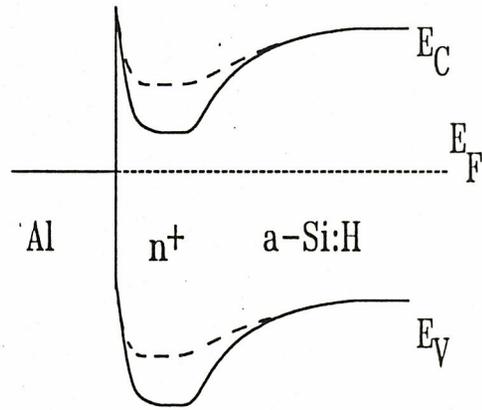


그림 5. 전극면에서의 개략적인 밴드구조. 190°C 열처리 후: 실선, 450°C 열처리 후: 점선.

의 실선과 같이 될 것이다. 그림 5에서는 보는 바와 같이 정공에 대해서 장벽으로 작용하기 때문에 접촉면에서 정공의 유입(injection)은 일어나지 않는다. 그러나 450°C 열처리로 덩글링본드가 증가하고 페르미준위가 금지대내 중앙으로 이동하면 밴드구조는 그림 5의 점선과 같이 변하여 정공에 대한 장벽은 낮아지고 정공의 유입도 쉽게 일어나게 된다. 450°C의 열처리로 수소가 빠져 나가고 특히 n⁺층은 표면에 500Å 정도의 두께로 입혀져 있으므로 많은 양의 수소가 표면에서 빠져 나가서 덩글링본드를 많이 생성하게 되고 페르미준위는 금지대내 중앙으로 이동하게 된다.

페르미준위가 금지대내 중앙으로 이동하면 정공에 대한 장벽 높이는 낮아지게 되고 또한 많은 양의 덩글링본드 때문에 field emission도 잘 일어나므로 정공의 유입이 일어나게 된다.

결정실리콘이나 다결정실리콘에서 수소플라즈마 이온에 의한 post-hydrogenation 효과에 대한 연구결과들이 있으며 수소화 이후에 수소이온에 의한 defect의 passivation 효과가 많이 보고되어 있다. M. Nakamura 등의 SIMS 분석결과⁽¹⁵⁾에서 수소플라즈마 분위기에서의 수소화로 n⁺층에는 충분한 양의 수소가 들어가서 결합할 것으로 기대된다. 덩글링본드는 줄어들고 도핑효율은 증가하여 페르미준위는 전도띠쪽으로 다시 올라간다. 그래서 다시 정공에 대해 장벽이 형성이 되어 정공전류는 사라지게 된다.

350°C의 열처리로 표면의 수소가 다시 다량 빠져나오고 페르미준위는 다시 금지대내 중앙으로 이동하여 정공전류는 다시 나타나게 된다.

IV. 결 론

a-Si:H FET는 소오스-드레인 전극에 전자의 Ohmic contact을 위해 증착한 n⁺층이 정공에 대한 장벽으로 작용하여서 정공의 유입을 막으므로 정공전류는 관찰이 되지 않는다. 450°C 열처리에 의해 문턱전압은 증가하며 정공전류가 나타난다.

열처리로 빠져나가는 수소로 인한 땀글링본드의 증가는 밴드 힘을 둔화시켜 문턱전압을 증가하게 한다. n⁺층에서의 땀글링본드 증가는 페르미준위를 하향이동하게 하여 정공에 대한 포텐셜장벽을 낮추며 tunneling에 의한 정공의 유입 또한 증가시켜 정공전류가 나타난다고 이해된다.

수소플라즈마에 의한 수소화로 정공전류가 사라지는데 이는 n⁺층에서 수소화로 땀글링본드가 줄어들고 전극면에서 페르미준위가 다시 전기전도대쪽으로 상승하여 정공에 대한 장벽이 생성되기 때문으로 이해된다. 350°C의 열처리로 실리콘 표면의 수소는 쉽게 빠져 나가고 페르미준위는 다시 금지대 중앙으로 이동하여 정공에 대한 장벽이 낮아지고 정공의 유입을 용이하게 하여 정공전류가 다시 나타난다고 이해된다.

참 고 문 헌

[1] Y. S. Lee, H. Y. Chu, J. Jang, B-S Bae, K-S Choi, C. Lee, *Appl. Phys. Lett.*, **53**, 2617 (1988).
 [2] W. B. Jackson, J. M. Marshall M. D. Moyer, *Phys.*

Rev., **B39**, 1164 (1989).
 [3] W. E. Howard, *Proc. of the SID*, **27**, 313 (1986).
 [4] 배병성, 허 준, 최광수, 이주천, 장진, 새물리, **28**, 185(1988).
 [5] 양병일, 김일곤, 김 웅, 고년규, 새물리, **26**, 357(1986).
 [6] S. Kawasaki, K. Sato, K. Suzuki, H. Takeuchi, K. Kuroiwa, and Tarui, *Jpn. J. of Appl. Phys.*, **26**, 1400 (1987).
 [7] 김용태, 김춘근, 민석기, *응용물리*, **2**, 142(1989).
 [8] H. Tanabe, M. Azuma, T. Uematsu, H. Shirai, J. Hanna, and I. Shimizu, 1989 MARS spring meeting.
 [9] T. Serikawa, S. Shirai, A. Okamoto, and S. Suyama, *Proc. Int. Display Research Conference, IEEE*, **222** (1988).
 [10] S. H. Yang, and C. Lee, *Solid State Commun.*, **45**, 591 (1983).
 [11] S. Ohima, T. Yamada, T. Hayashida, and M. Yamano, *Appl. Phys.*, **A41**, 285 (1986).
 [12] R. E. I. Schropp, J. W. C. Veltkamp, J. Snijder and J. F. Verwey, *IEEE Trans. on electron devices*, **ED-32**, 1759 (1985).
 [13] N. B. Goodman, *Phil. Mag.*, **B45**, 407 (1982).
 [14] 이재희, 과학기술원 박사학위논문, 1989.
 [15] M. Nakamura, T. Ohno, N. Konishi, K. Miyata and N. Kamezawa, *J. Appl. Phys.*, **62**, 3740 (1987).
 [16] *Amorphous Semiconductor*, Edited by Y. Hamakawa, p. 203 (1982).
 [17] G. W. Neudeck, H. F. Bare, K. Y. Chung, *IEEE ED-34*, 344 (1987).

Annealing Effects of a-Si:H Field Effect Transistor

Byung-Seong Bae, Chang-Woo Lee, Byueng-Su Yoo, Choong-Hun Lee, Kowang-Su Choi and Choochon Lee
Department of Physics, Korea Advanced Institute of Science and Technology, P.O. Box 150 Chongyang, Seoul 130-650

(Received: August 9, 1989)

Annealing and hydrogenation effects in the a-Si:H field effect transistor(FET) are investigated. After 450 °C-annealing for 1 hour, threshold voltage and on-current increased. And then the hole current, which was not observed before annealing, appeared. After rf plasma hydrogenation, hole current disappeared and electron current remains unchanged. Hole current reappeared after 350 °C-annealing. This reversible change of hole current was attributed to the variation of potential barrier at the source-drain contact. After 450 °C-annealing the Fermi level move down to midgap and hole barrier disappeared. After hydrogenation, the hole barrier reappeared by increase of doping efficiency. This effect of hydrogenation disappeared with 350 °C annealing because of evolution of hydrogen.

Photo-leakage current in a-Si:H TFTs

장진 교수

1. Introduction

2. Off-state leakage current in a-Si:H TFT

3. Photo-leakage current in a-Si:H TFT

4. Technique to reduce off-state leakage (photo-leakage) current of a-Si:H TFT

5. Conclusion

□ High performance TFT-LCD에서
요구되는 I_{off}

Off-state leakage current

$$I = \frac{dQ}{dt} = \frac{d(CV)}{dt} = \frac{\partial C}{\partial t} V + \frac{\partial V}{\partial t} C = C \frac{\Delta V}{\tau}$$

$$I_{\text{off}} \approx (C_{\text{LC}} + C_{\text{st}}) \frac{0.1 \times \Delta V}{\tau}$$

(10%)

$$\approx 0.7 \text{ pF} \frac{0.1 \times 62.5 \text{ mV}}{16.7 \text{ ms}}$$

$$\approx 0.26 \text{ pA}$$

Backlight 조사중에

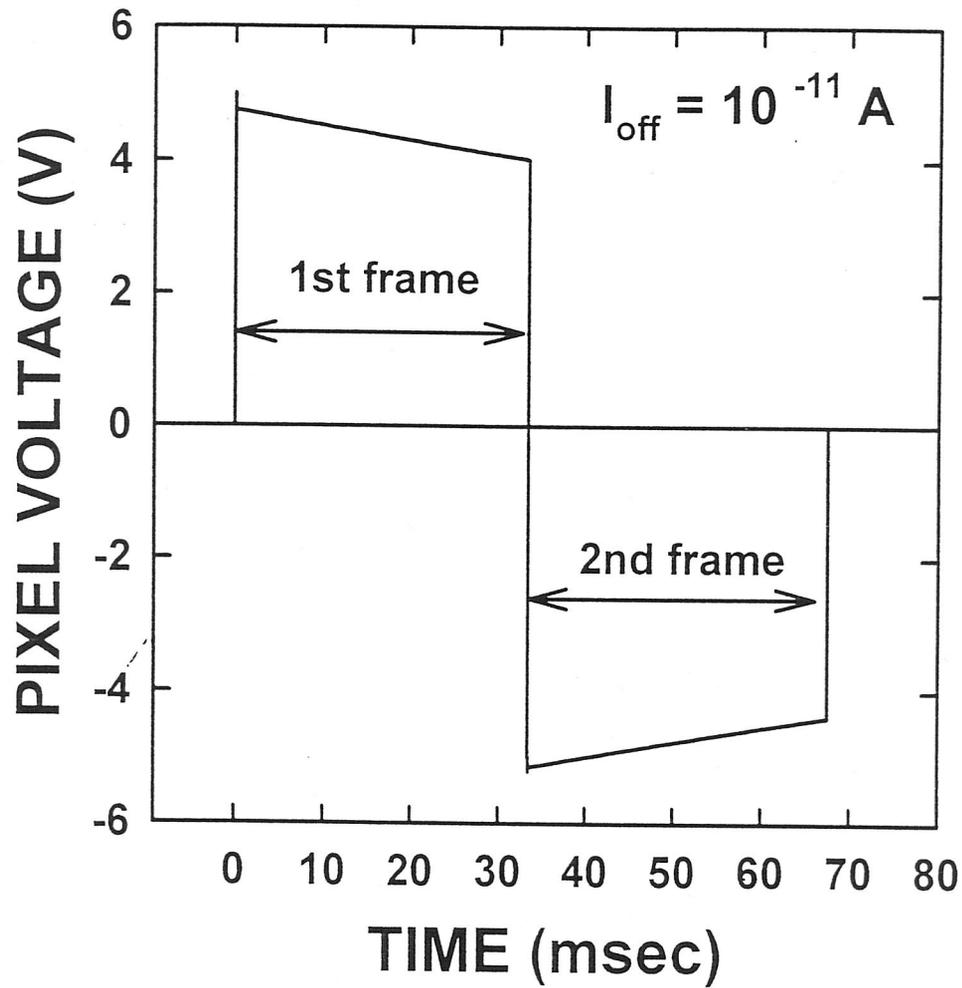
τ : one frame

유지시간

$$60 \text{ Hz} = 16.7 \text{ ms}$$

$$\Delta V = \frac{4 \text{ V (액정 동작영역)}}{64 \text{ 계조}}$$

$$= 62.5 \text{ mV}$$



시간에 따른 화소 전압 계산 결과
 $(V_{\text{data}} = 5 \text{ V}, I_{\text{off}} = 10^{-11} \text{ A})$

□ Off-state leakage current in a-Si:H TFT

○ A-Si:H active layer

1) $\sigma_{\text{dark}}, I_{\text{off}} \propto \sigma_{\text{dark}}$ at flat band

$$\sigma_{\text{dark}} = \sigma_0 \exp[-(E_C - E_F)_0 / k_B T]$$

Deposition parameters : T_s , RF power, gas flow rate, deposition mode

2) Band gap

$$E_g = (E_C - E_V)_0 \text{ 증가, } \sigma_{\text{dark}} \text{ 감소}$$

Deposition parameter : T_s , Impurity
(N, O, C, ...)

3) Impurity (F, Cl, B, P, N)

$$E_F \text{ 이동}$$

Deposition parameters : gas-phase doping
Out-gasing

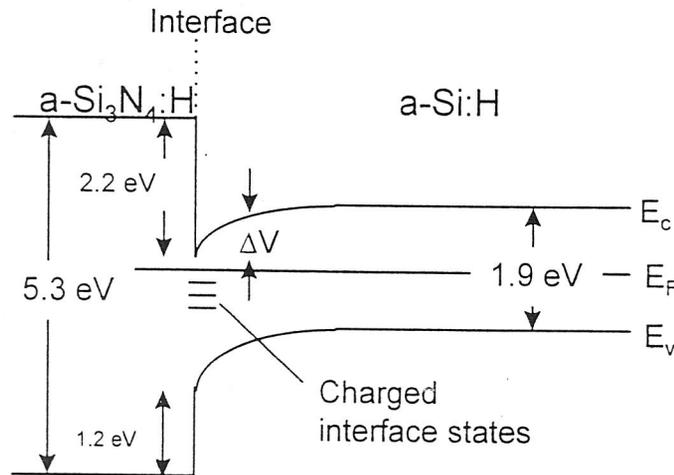
4) Hydrogen concentration

$$C_H \text{ 증가} \rightarrow E_g \text{ 증가}$$

Deposition parameters : T_s , H_2 dilution

○ Back interface

1) $\text{SiN}_x/\text{a-Si:H}$



Work function의 차이 →

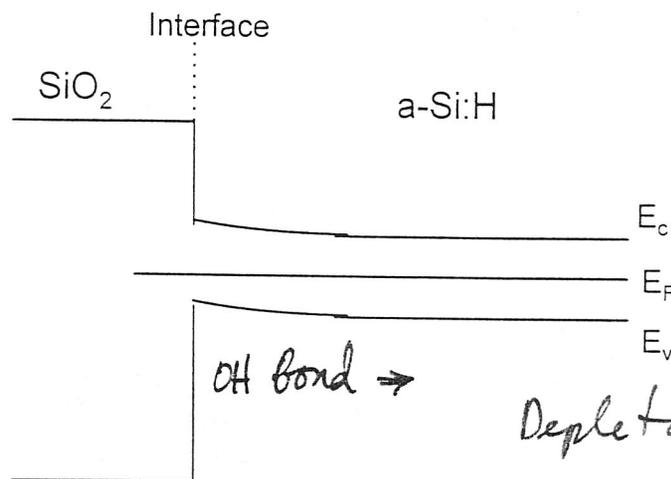
Electron transfer →

Electron accumulation layer *수집층 형성*,

→ High off-state current

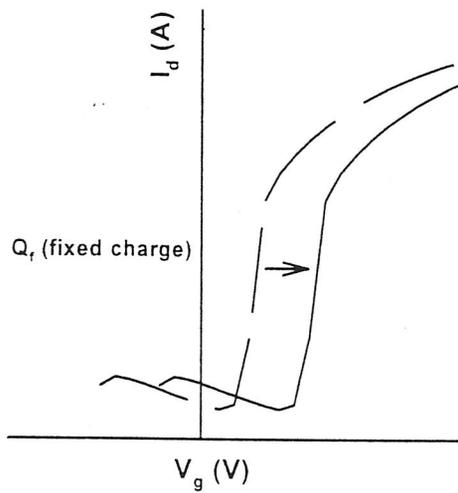
ac

2) $\text{SiO}_2/\text{a-Si:H}$, $\text{SiOF}/\text{a-Si:H}$



High interface state

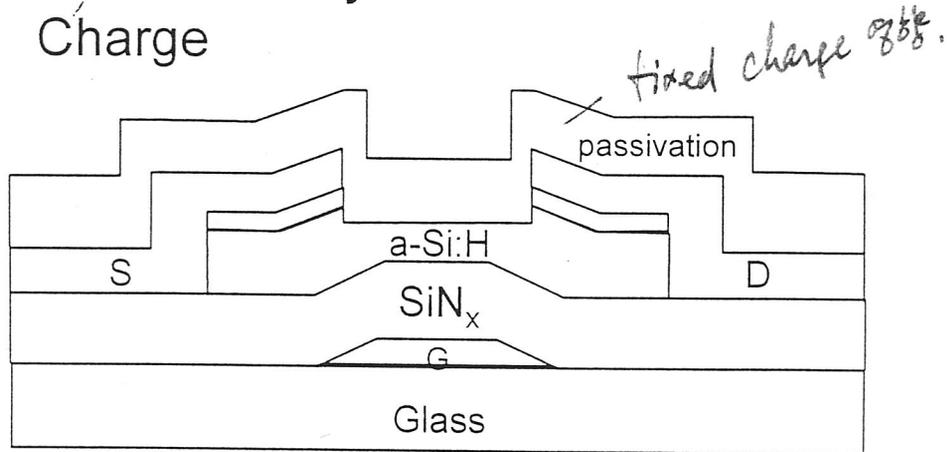
○ Gate oxide



Fixed charge
Mobile charge

○ Passivation layer

Charge



○ N^+ contact

e ohmic

Hole blocking (n^+ a-Si:H, n^+ μc -Si)

How to make a good n^+ μc -Si on a-Si:H

□ Photo-leakage current

○ Origin

Electron

Electron-hole generation

$$\sigma_{ph} \propto ne\mu_e = \eta f \alpha \tau e \mu = \eta \underline{f} \alpha e (\underline{\mu\tau})_e$$

η : quantum efficiency

f : photon flux

α : absorption coefficient

τ : recombination lifetime

→ ↓ (2.1e) band gap 3 t (2.1e)

↓ (E_A 변화)

N₆ 20b) (spindensity)

○ Display performance

1) Contrast 감소

2) Cross-talks

3) Non-uniformity

4) Flicker

○ Importance

1) Smaller TFT

⇒ smaller gate area

⇒ higher photo-leakage current

2) Self-aligned structure

3) Multimedia display

⇒ high brightness

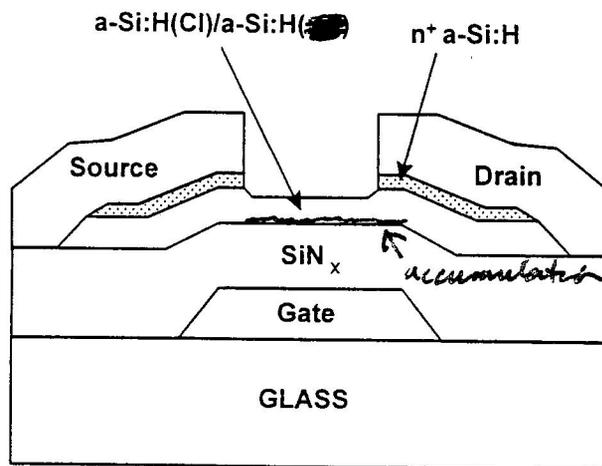
4) Projection display

⇒ high intensity backlight

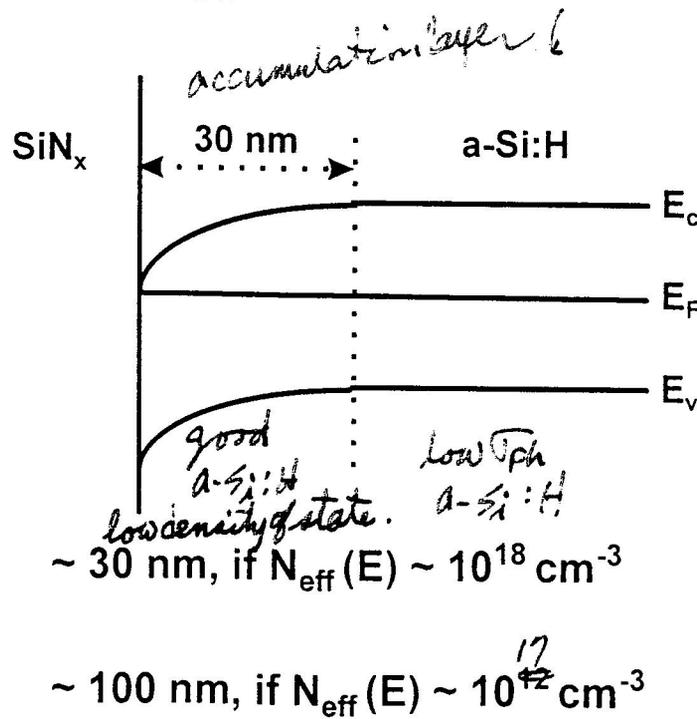
□ Techniques to reduce off-state leakage current of a-Si:H TFTs

○ Active layer

1) a-Si:H TFT with two-layered a-Si:H



Inverse staggered a-Si:H TFT 단면 구조



current tion

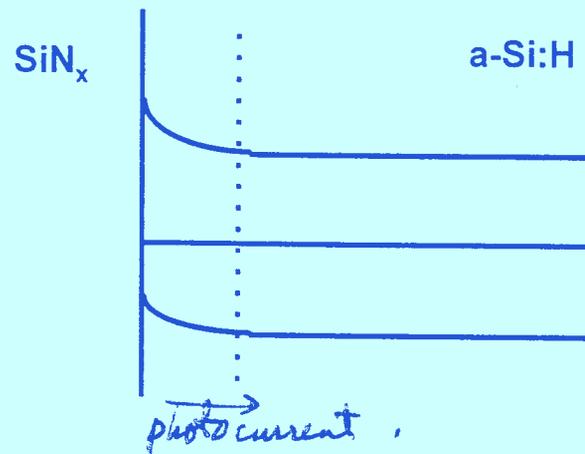
E_c
 E_F
 E_v

ty carriers.

carriers
layer

y

Off-state leakage under illumination



$V_g = -15V$ *depletion*

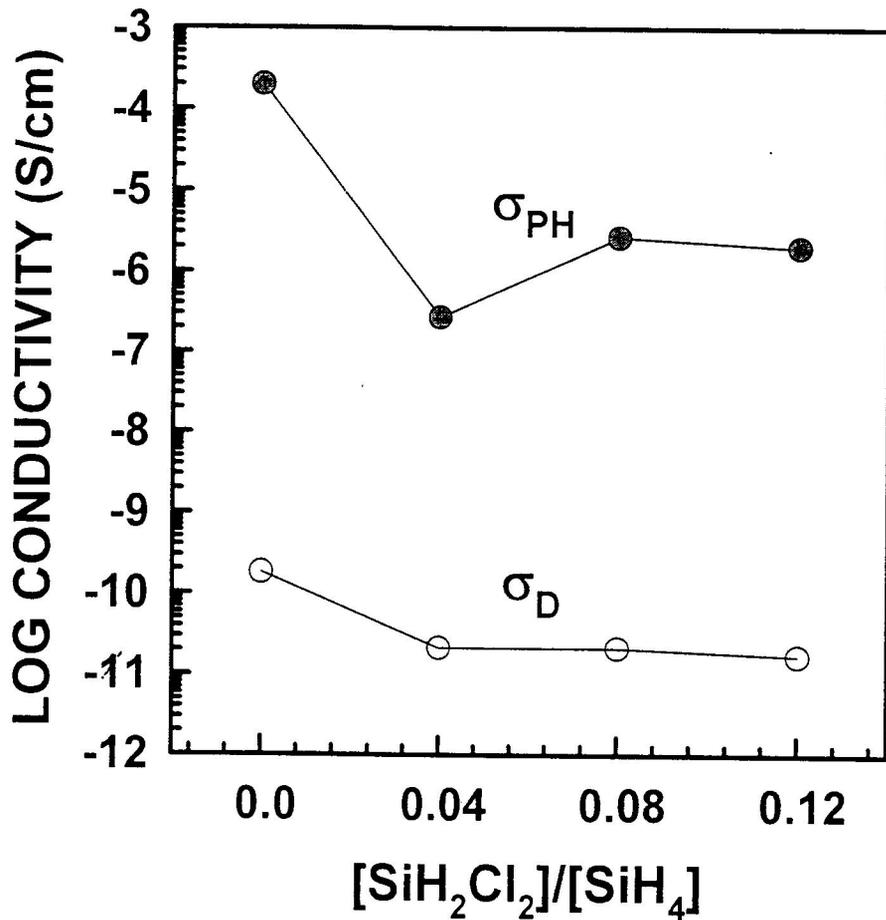
Electrons are majorit

■ 1st layer

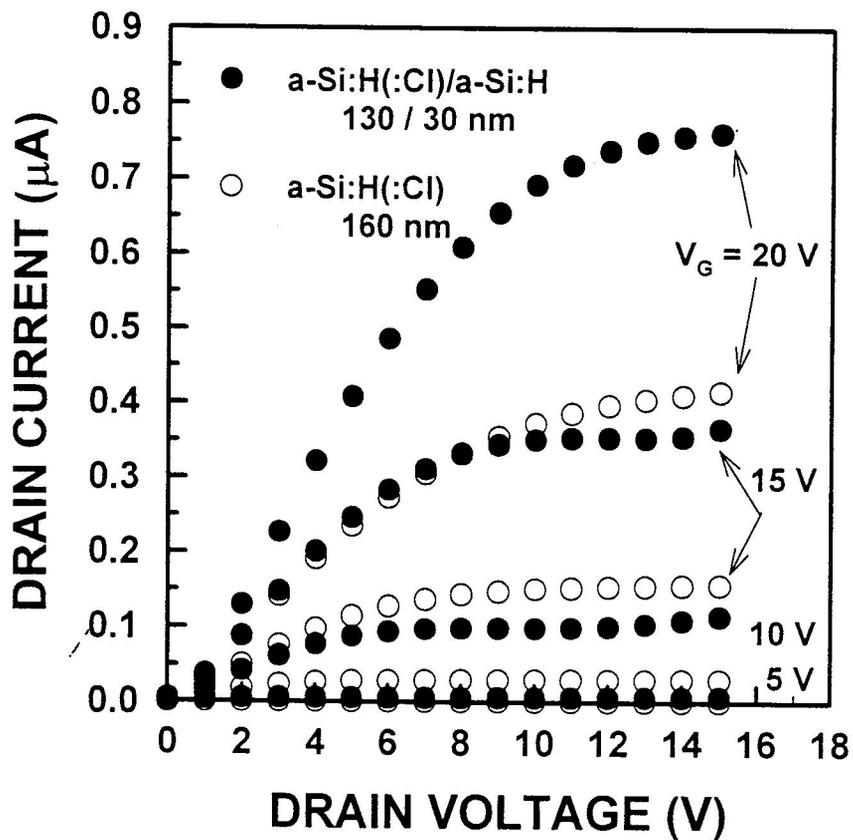
Photo-generated
drifted to the 2nd

■ 2nd layer

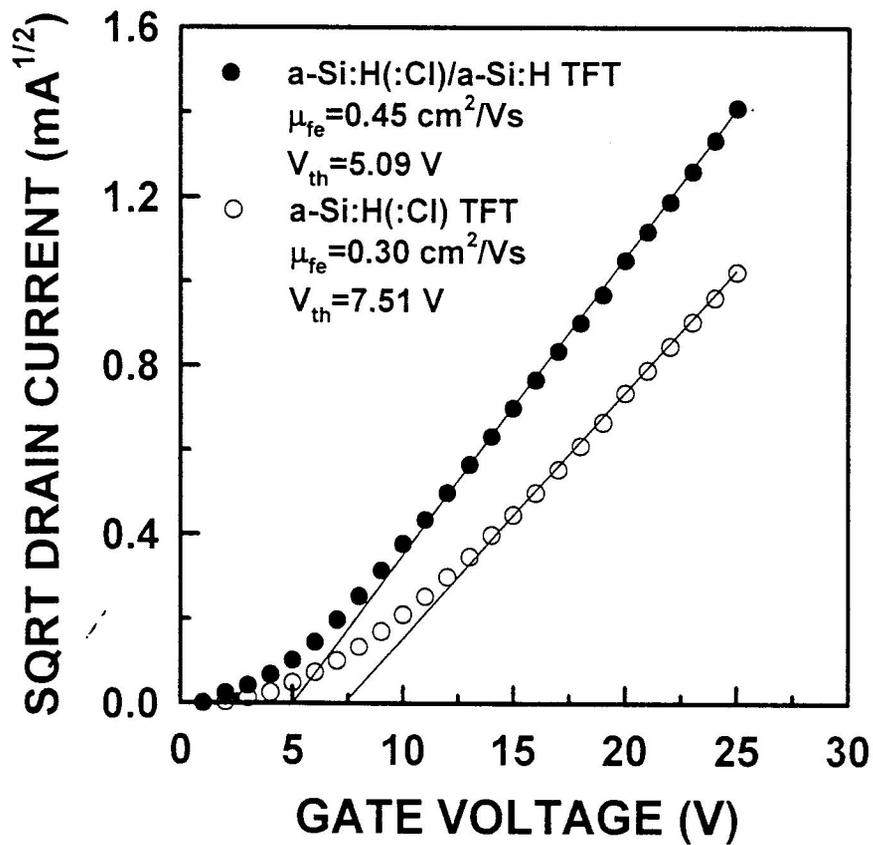
Photoconductivit



Room temperature conductivity and photoconductivity under AM-1 for a-Si:H(:Cl) films



a-Si:H(:Cl)/a-Si:H TFT와 a-Si:H(:Cl) TFT의 output 특성비교
 $[\text{SiH}_2\text{Cl}_2]/[\text{SiH}_4]=0.08$ 인 혼합가스를 이용하여 a-Si:H(:Cl) 제작

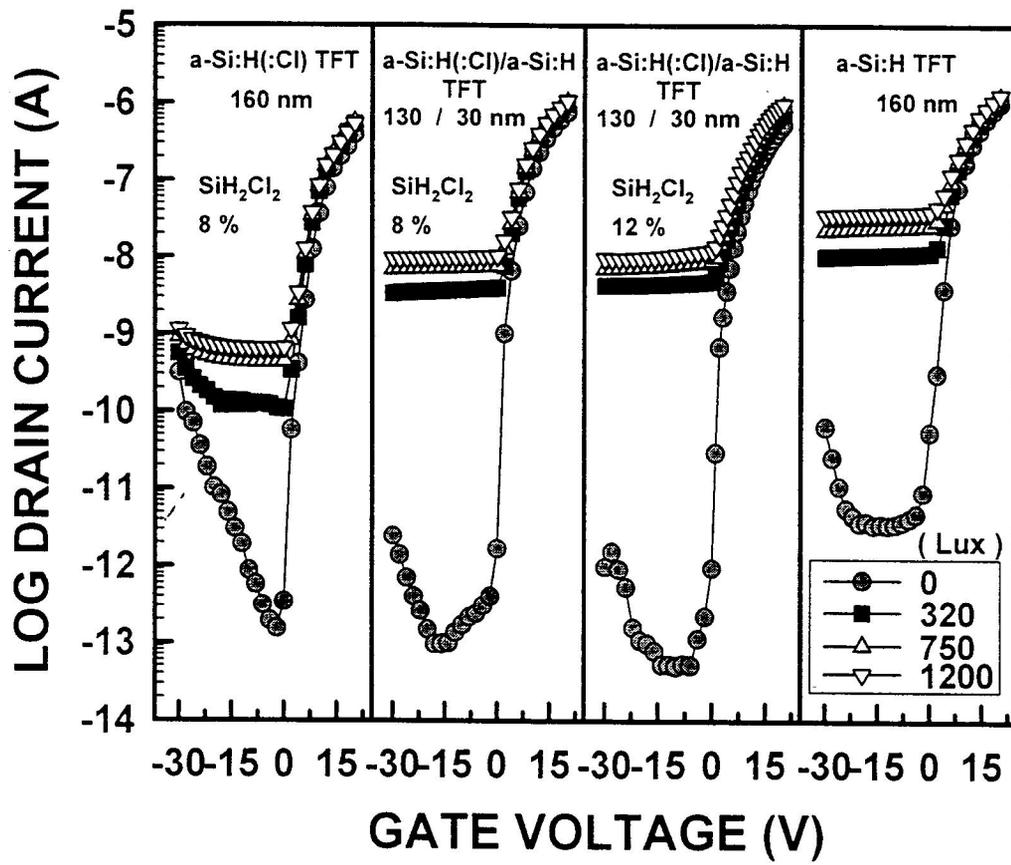


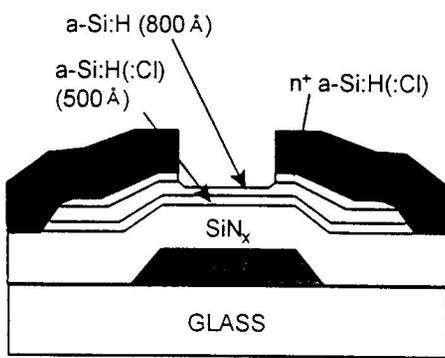
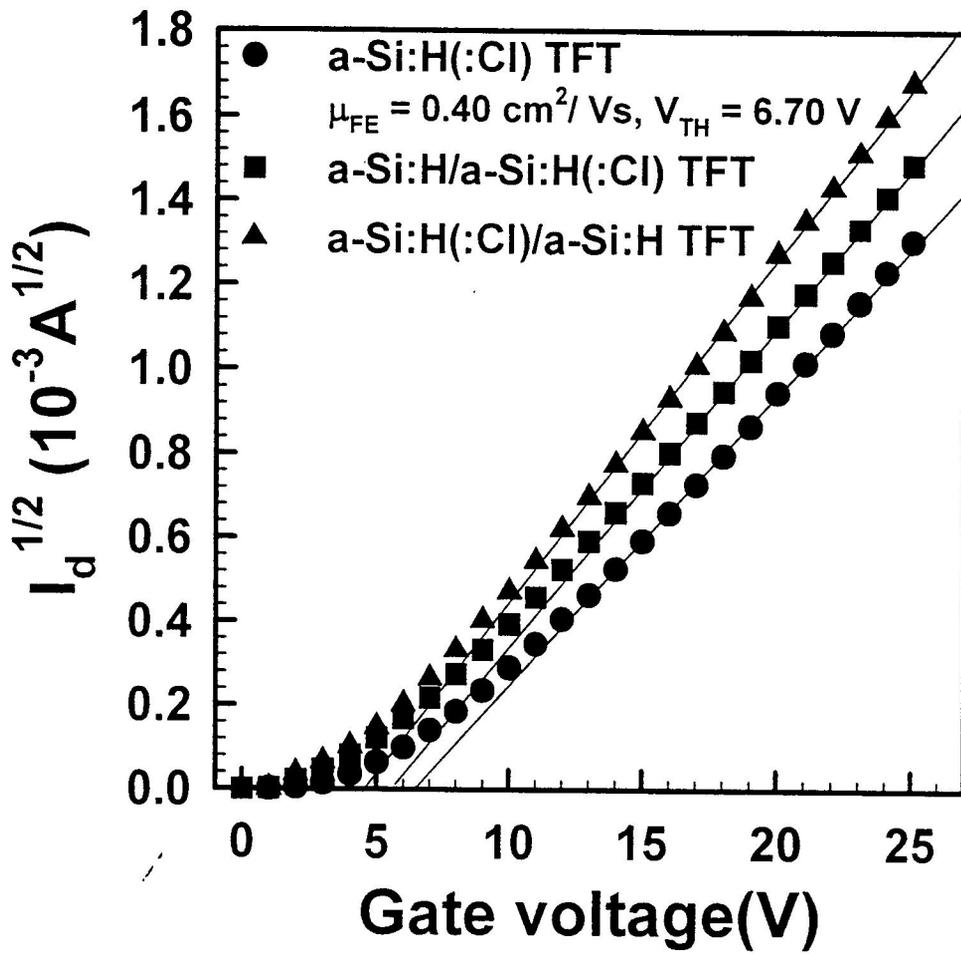
$$[\text{SiH}_2\text{Cl}_2]/[\text{SiH}_4] = 0.08$$

Semiconductor & Display Lab., Kyung Hee Univ.

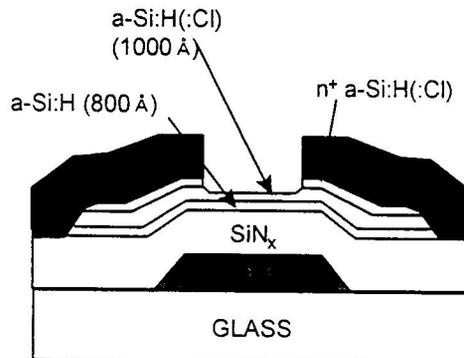
Back illumination

$$V_d = 10V$$





$\mu_{FE} = 0.47 \text{ m}^2/\text{Vs}$
 $V_{th} = 5.50 \text{ V}$

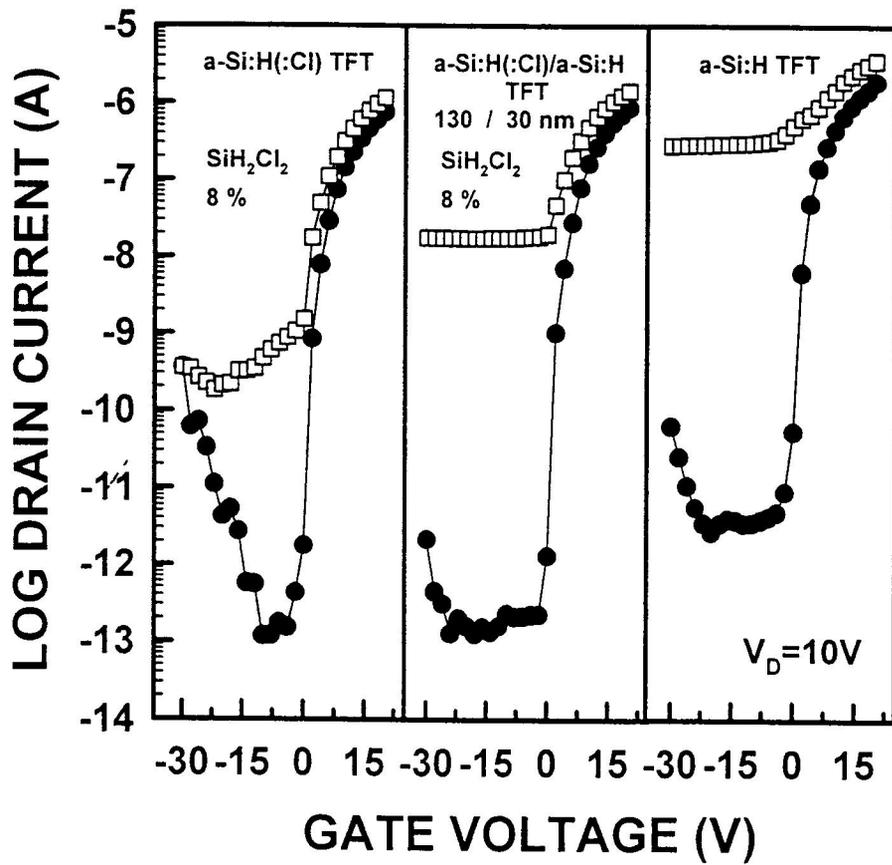


$\mu_{FE} = 0.52 \text{ m}^2/\text{Vs}$
 $V_{th} = 4.30 \text{ V}$

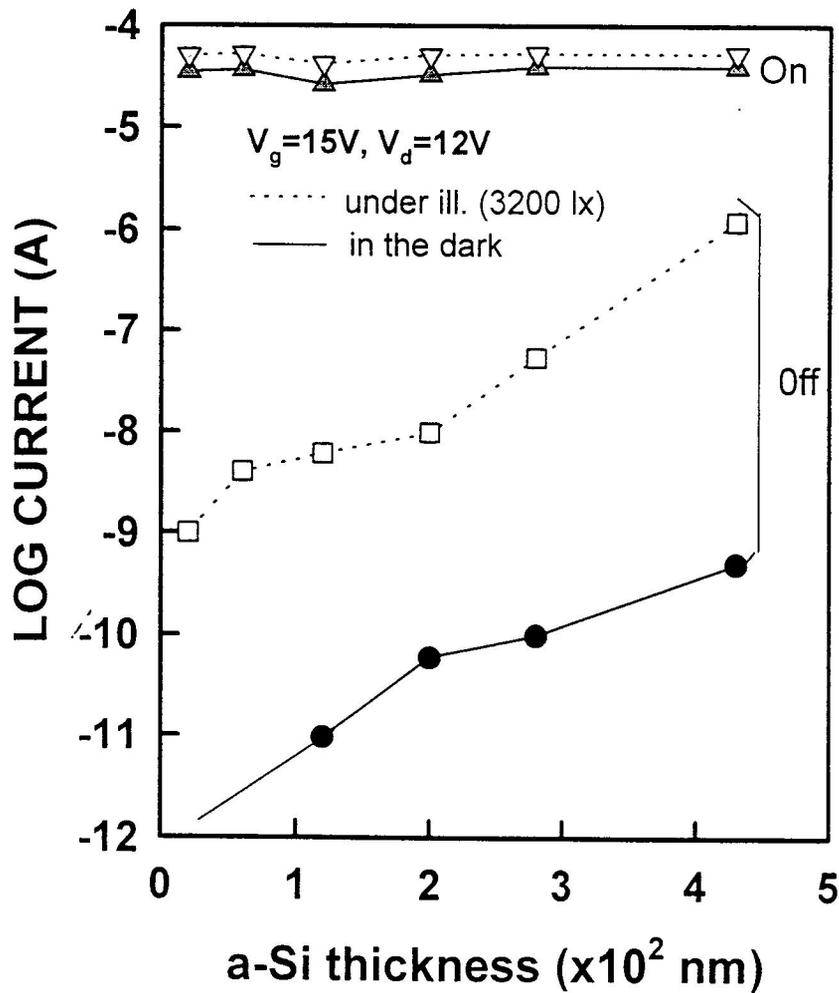
Front illumination

6600 Lux

$V_d = 10V$

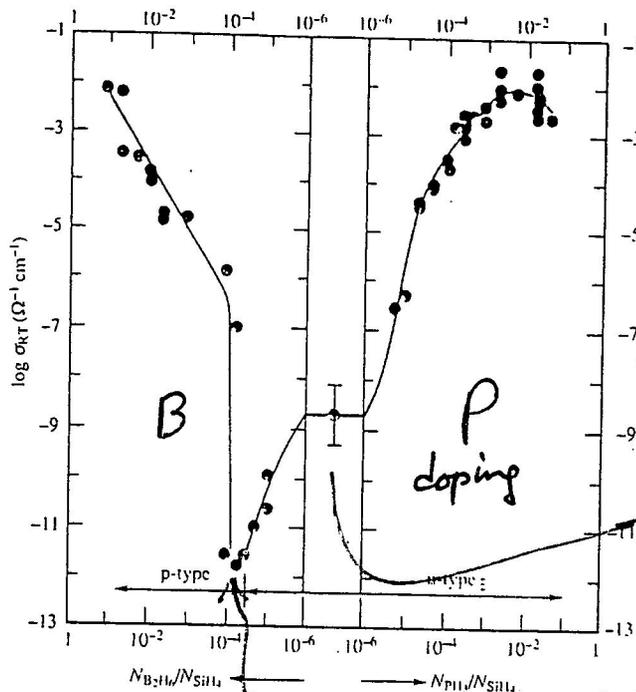


2) Decrease of active layer thickness Back-channel etched



On/off current dependence on a-Si layer thickness

3) Boron doping (10 ppm 정도)



The variation of the room temperature dc conductivity of a-Si:H films doped by the introduction of phosphine and diborane into the deposition gas

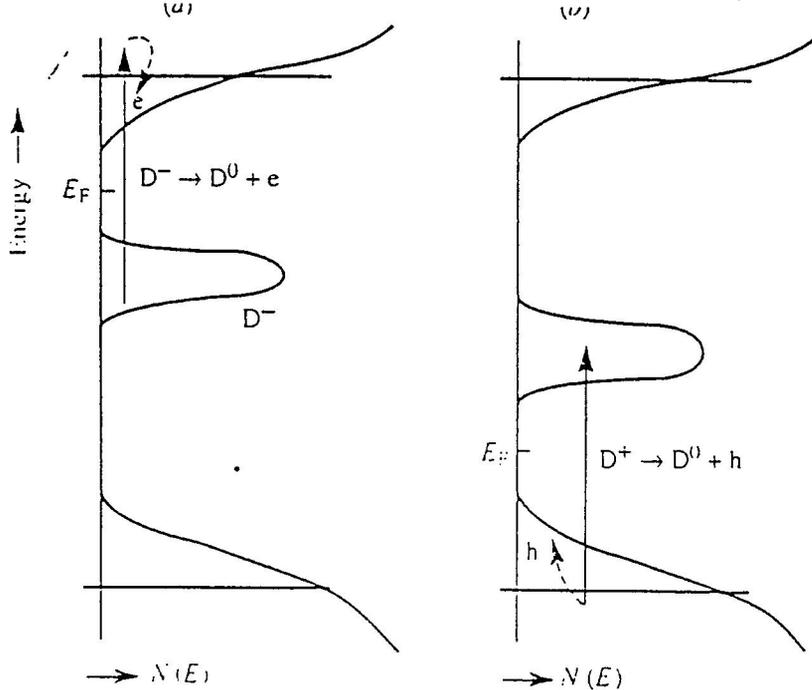
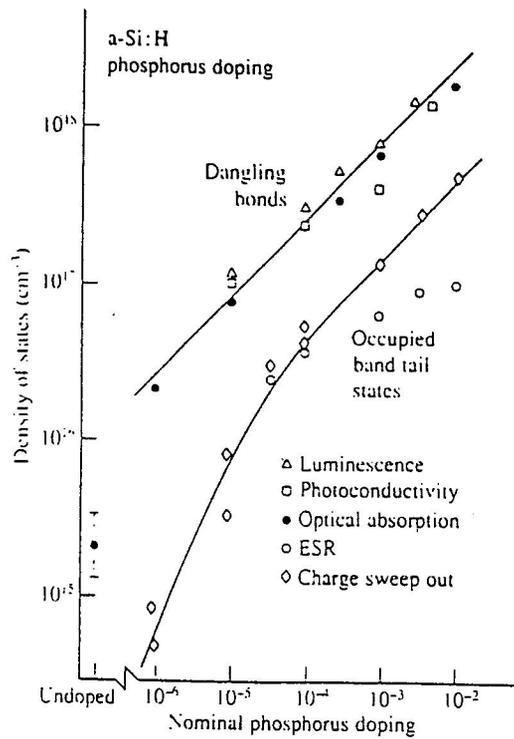
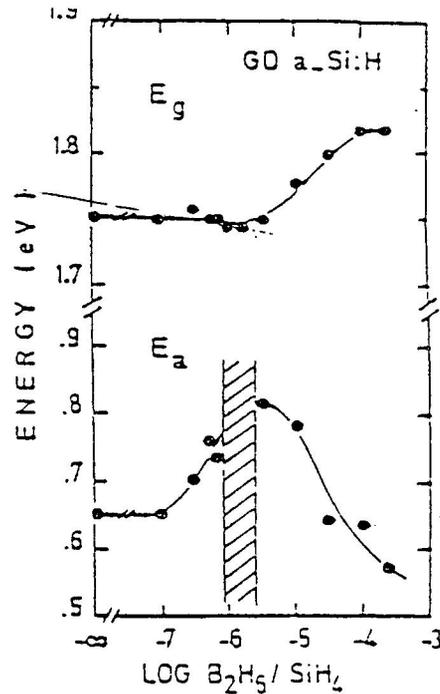
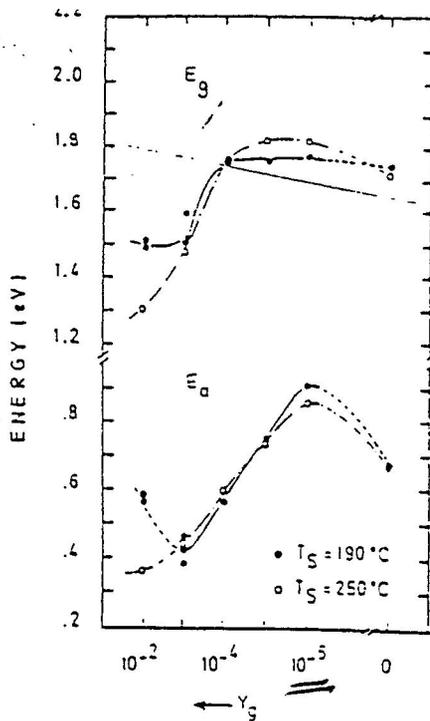


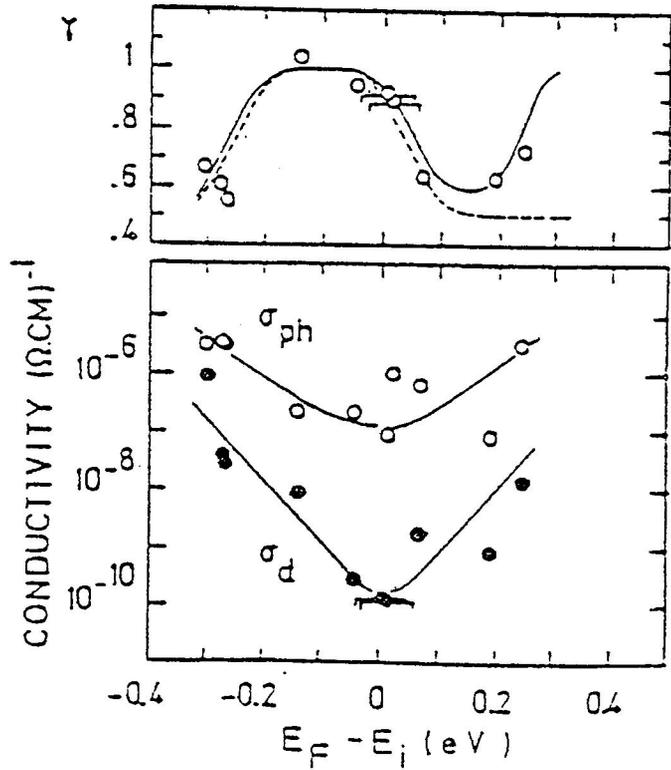
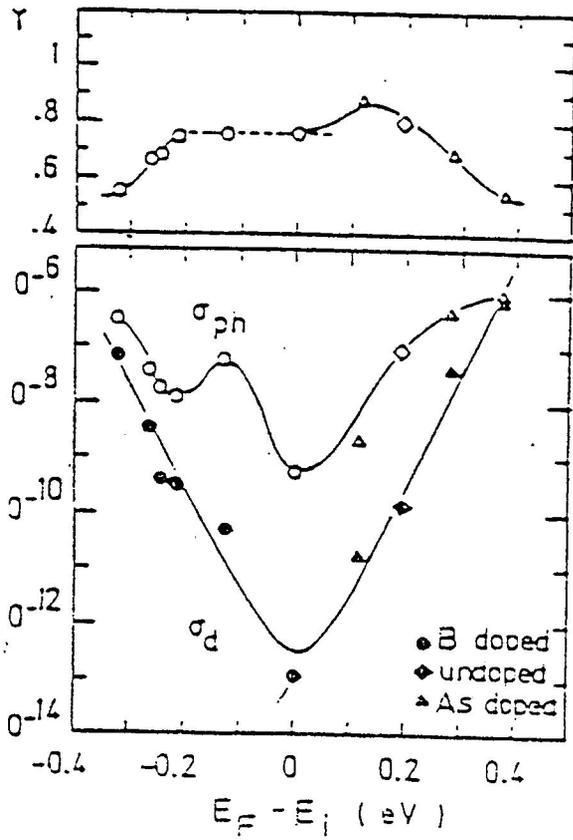
Diagram showing how illumination changes the charge state of the defects and induced band tail carriers (a) n-type and (b) p-type a-Si:H



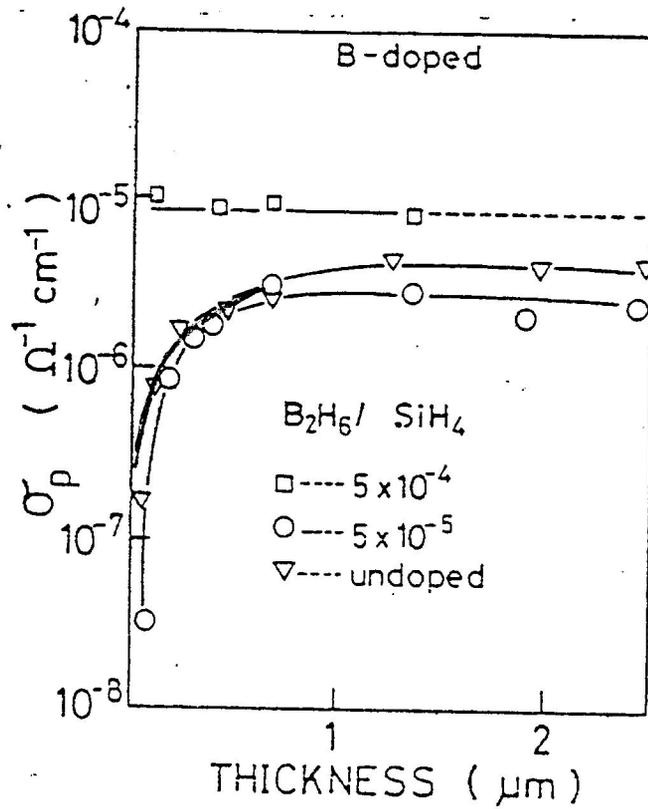
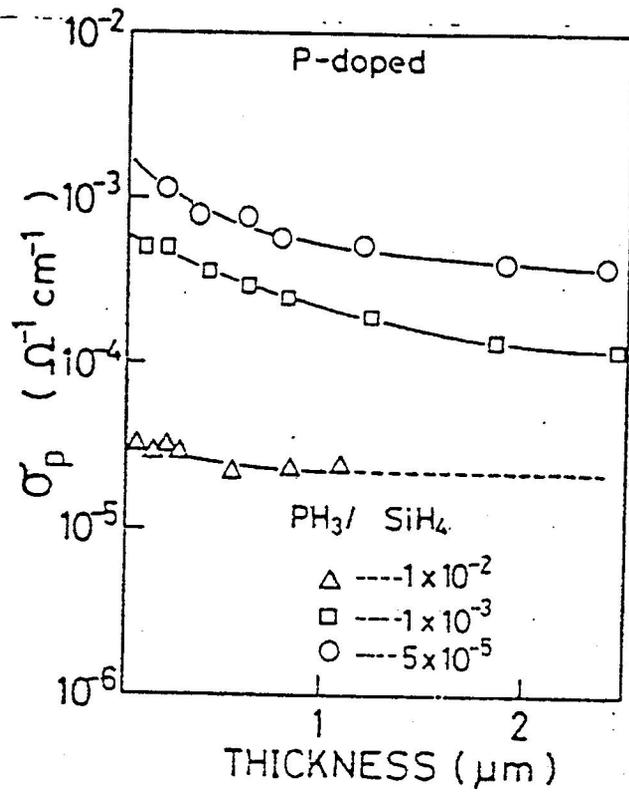
The gas phase doping dependence of the defect density and occupied band tail density, obtained in different experiments



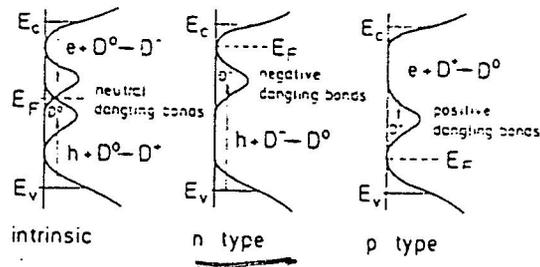
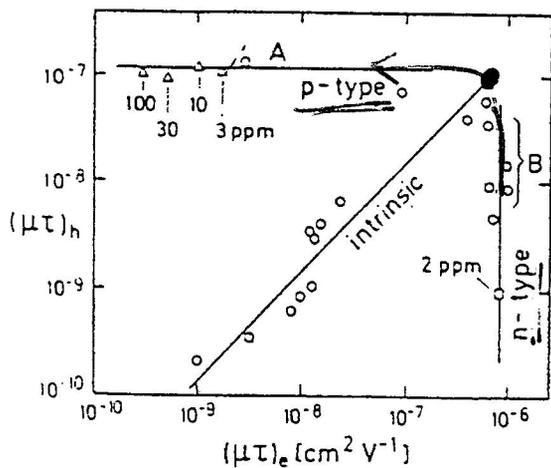
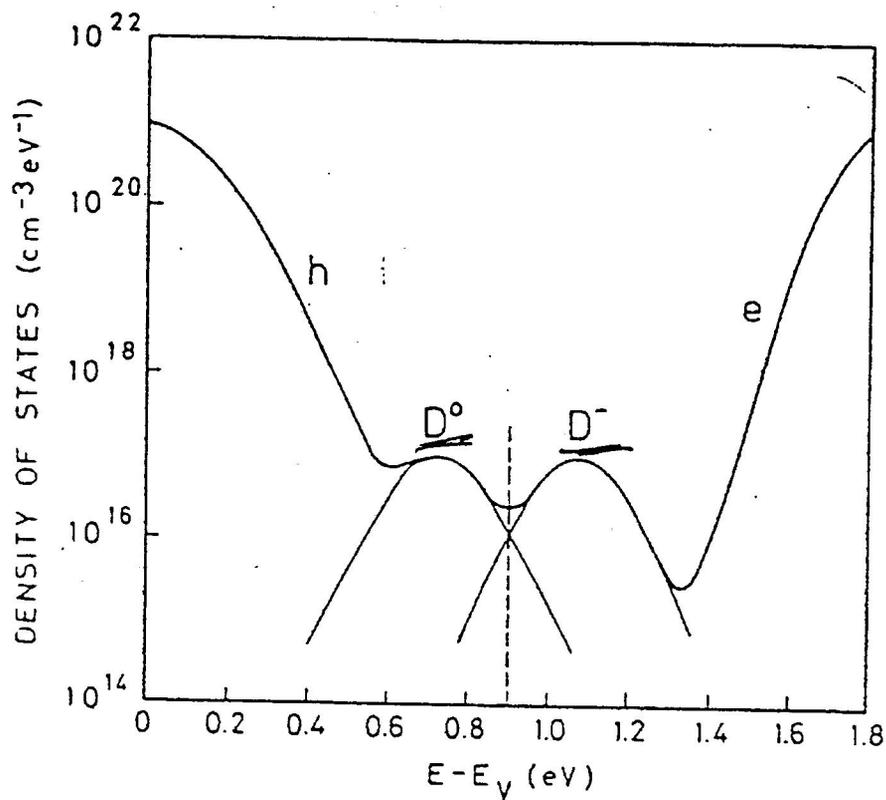
Variation of the optical gap and conductivity activation energy upon doping for GD a-Si:H



dark 쓰은 것이 photo 쓰다.

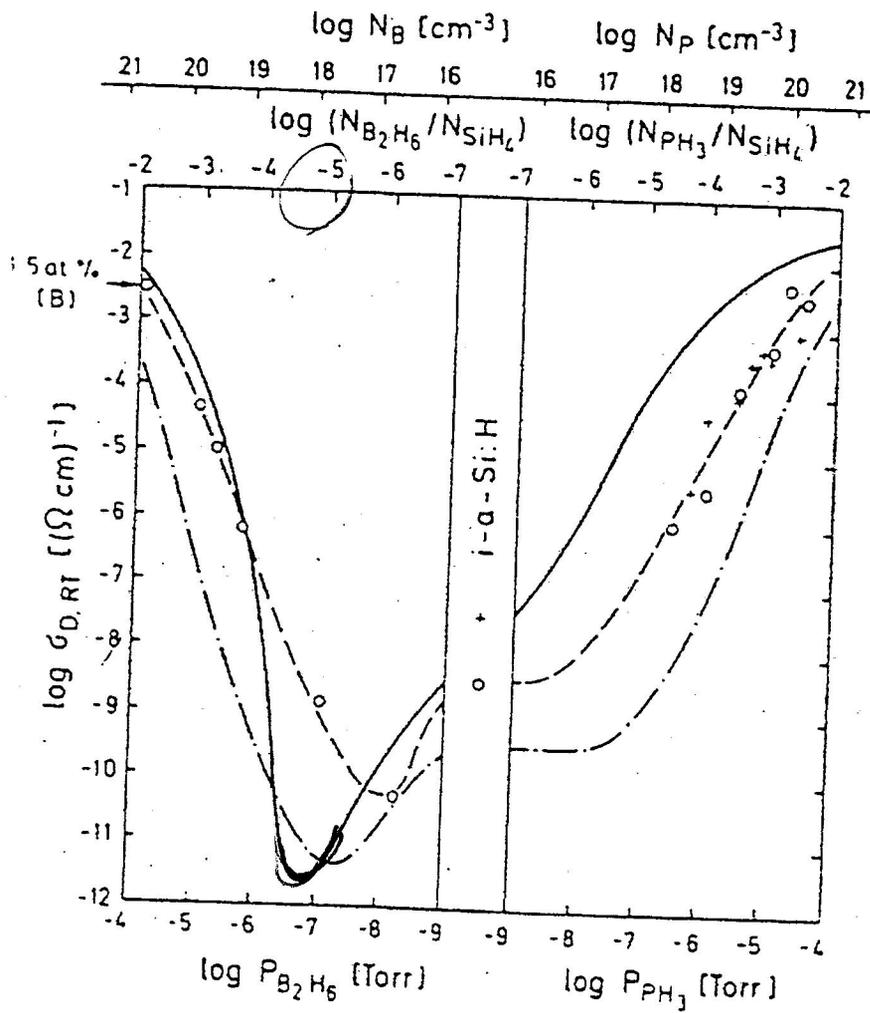


slightly doped
Thin $\rightarrow \sigma_p \downarrow$.

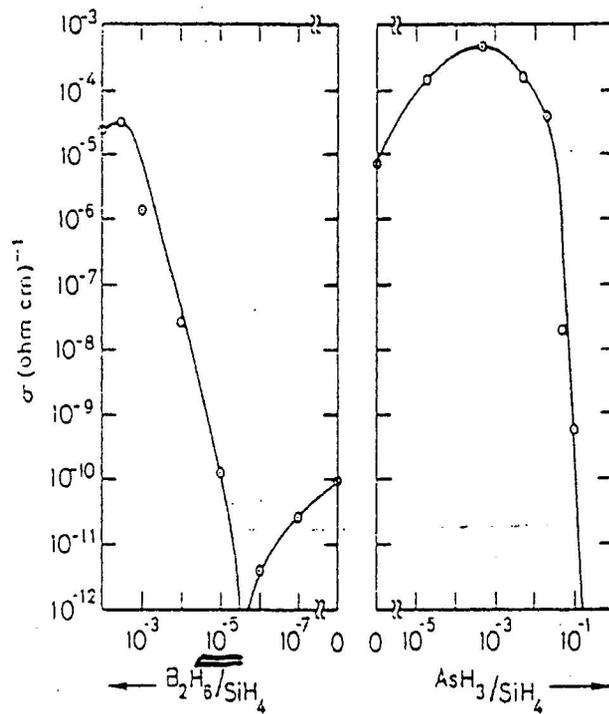
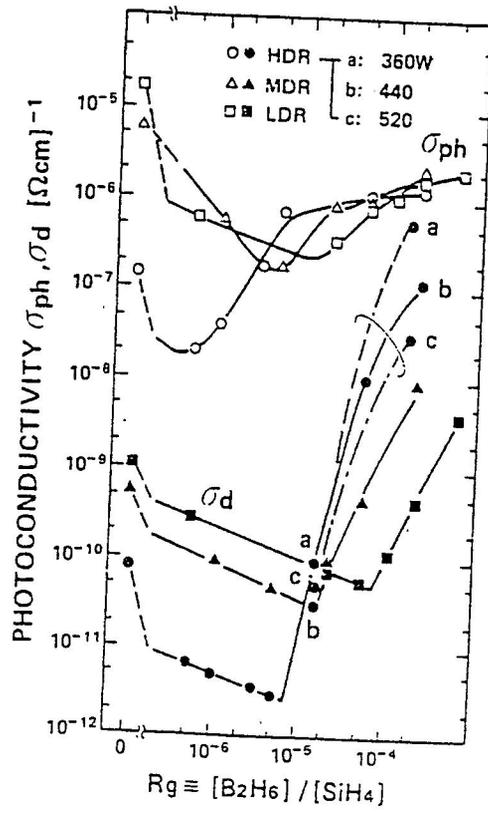


n-type : high $(\mu\tau)_e$
 p-type : high $(\mu\tau)_h$

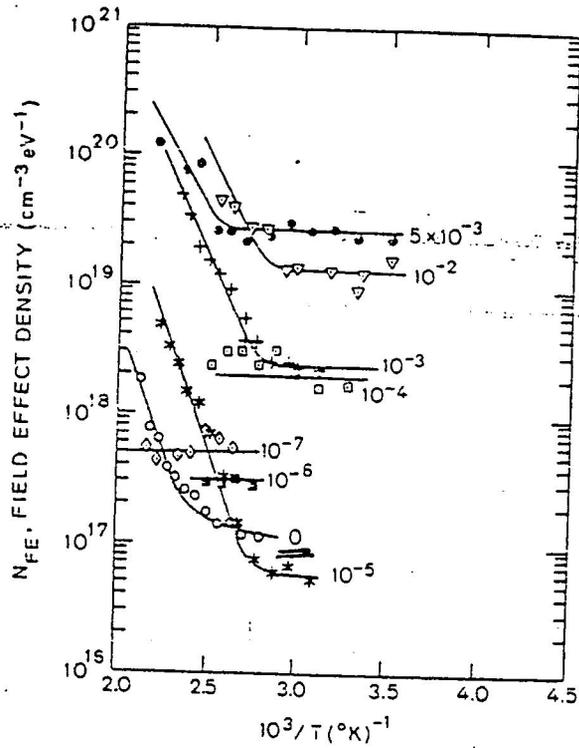
$D^0 \rightarrow D^-$ e lift time $\approx \tau_n$
 $D^0 \rightarrow D^+$



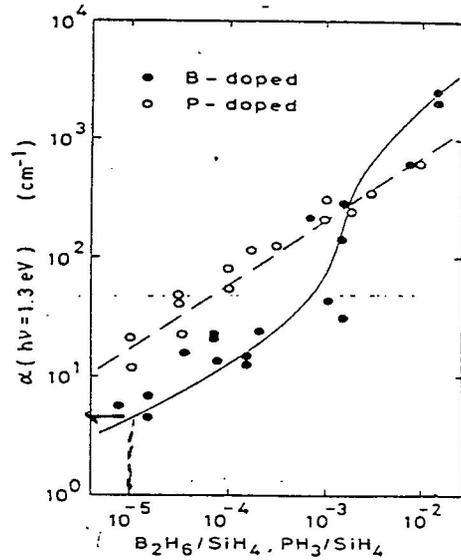
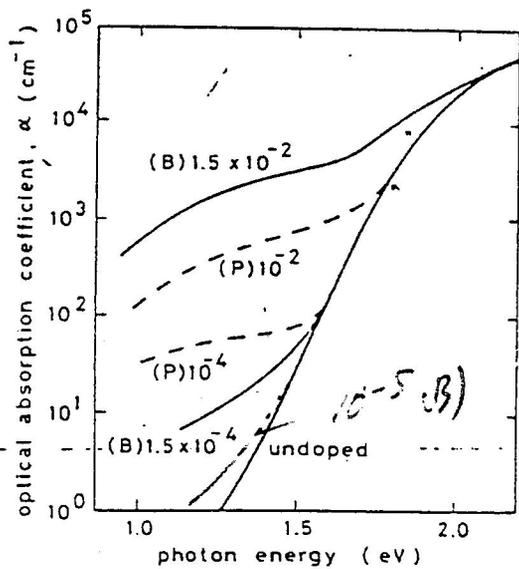
Semiconductor & Display Lab., Kyung Hee Univ.



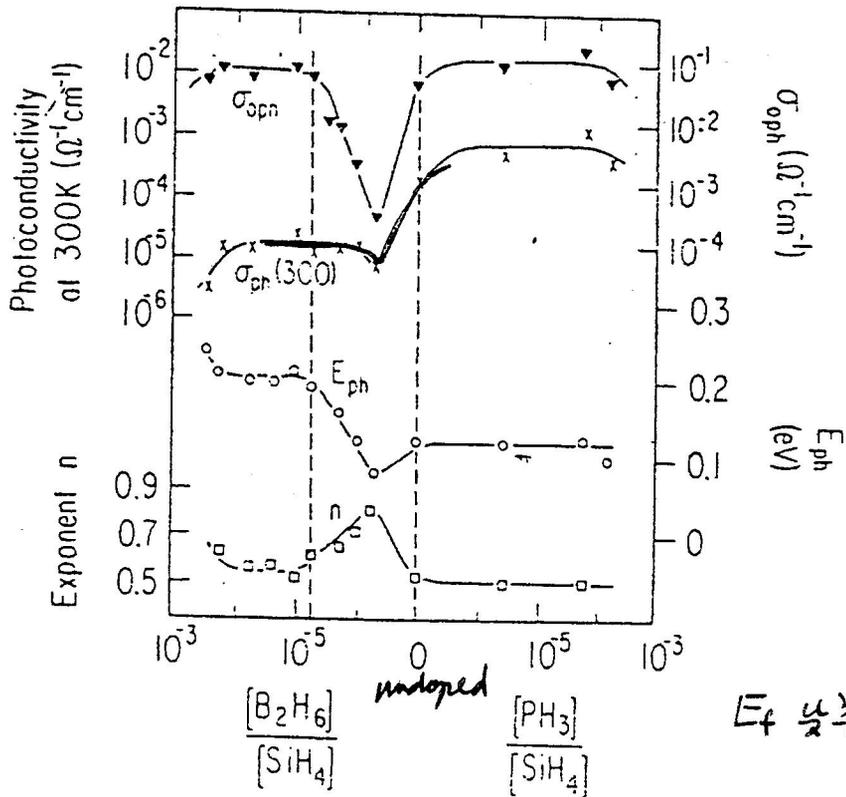
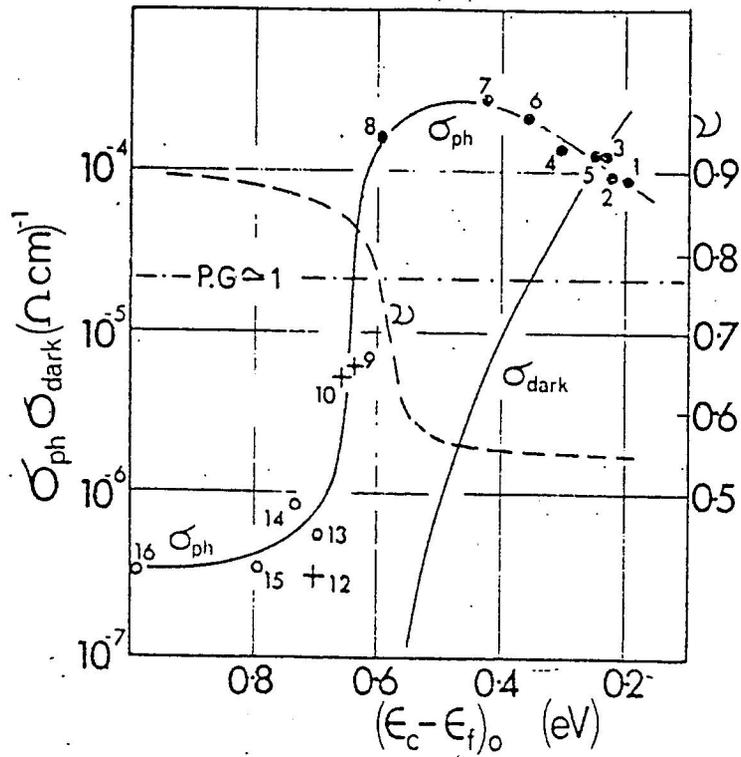
Semiconductor & Display Lab., Kyung Hee Univ.



$\frac{[B_{2H_6}]}{[SiH_4]}$

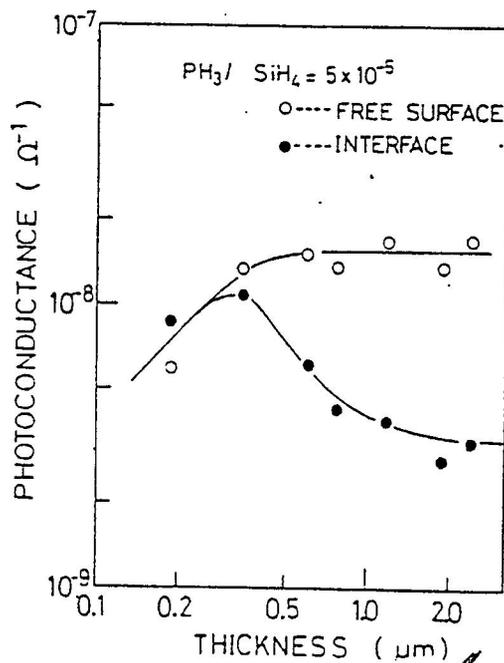
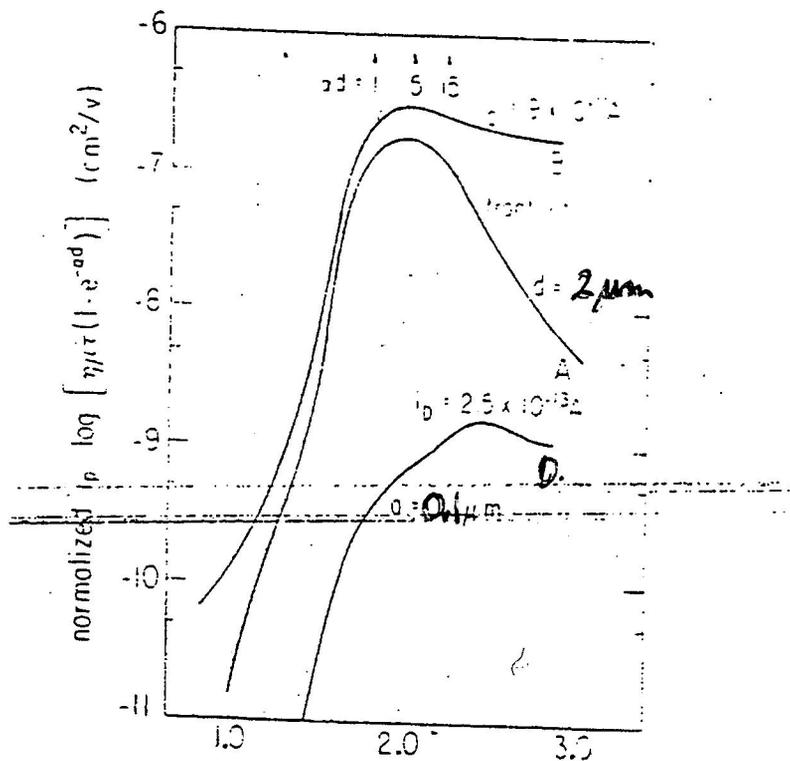


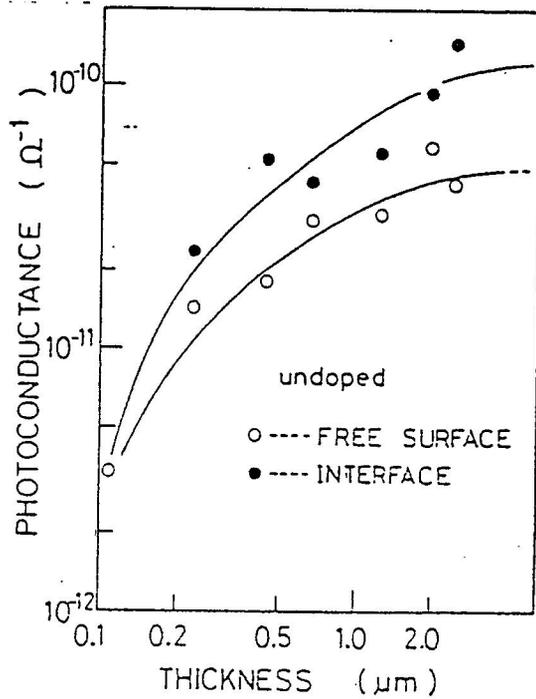
Semiconductor & Display Lab., Kyung Hee Univ.



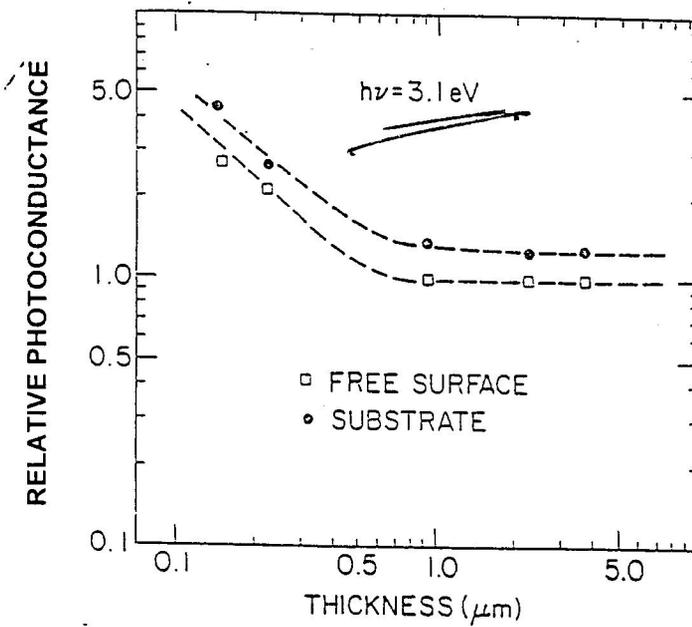
E_f 낮추면 σ_{ph} 증가.

Thickness dependence of σ_{ph}





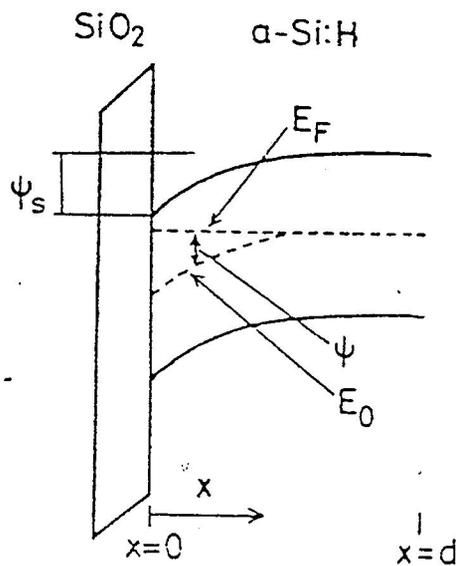
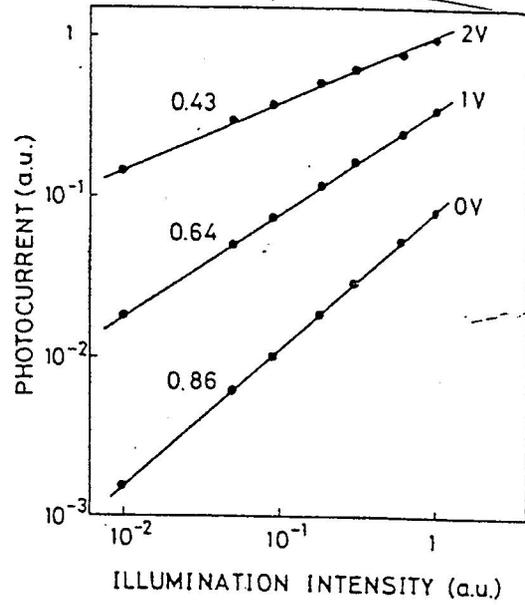
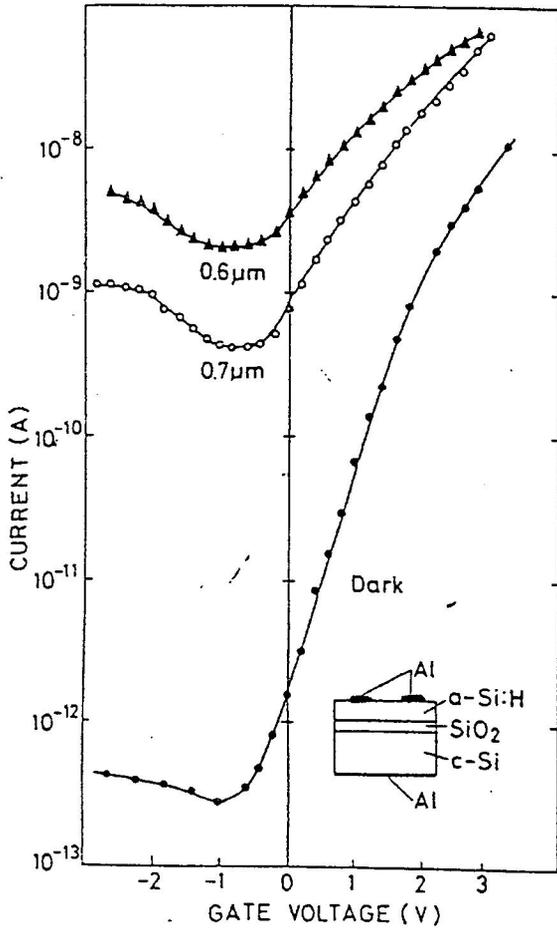
AM1 source

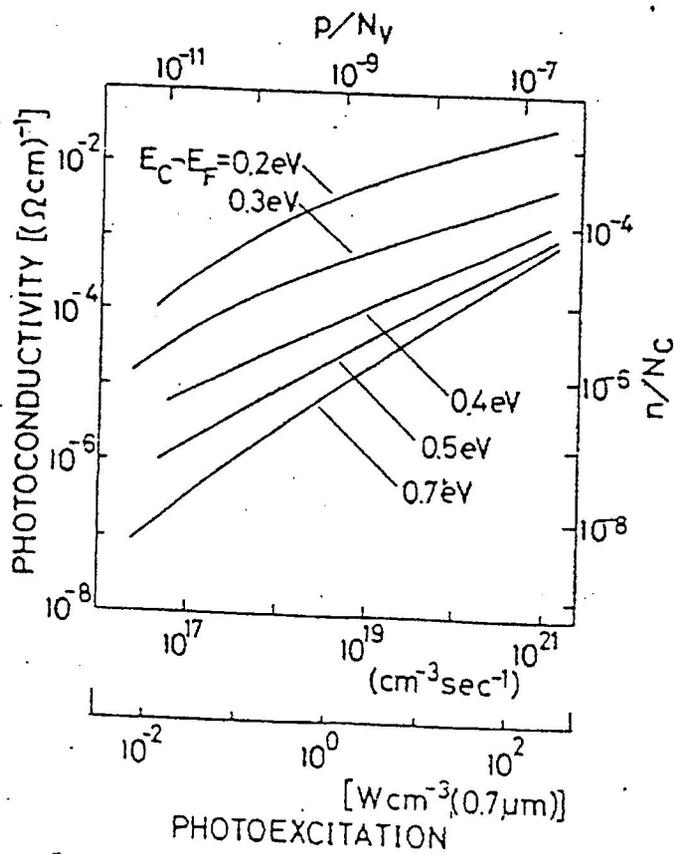
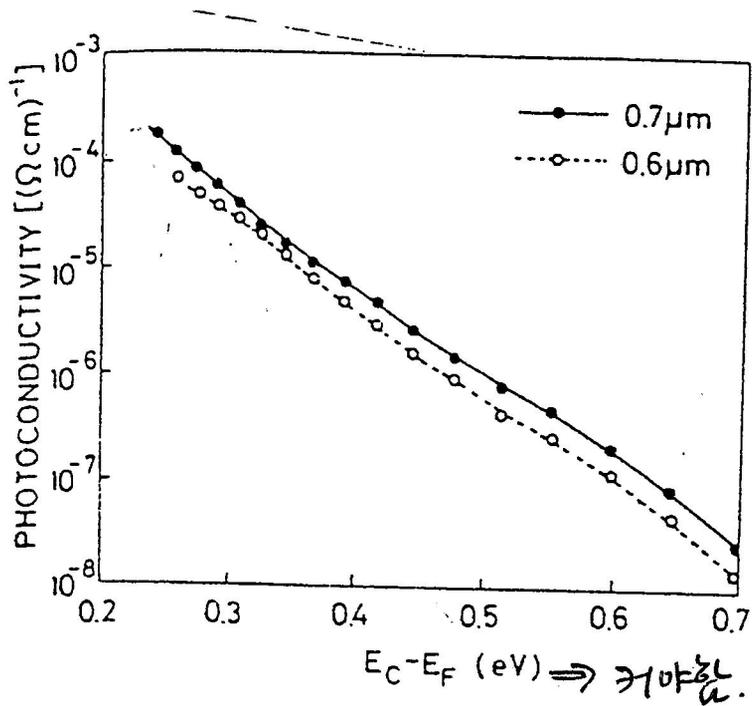


Semiconductor & Display Lab., Kyung Hee Univ.

Fermi-level dependence of σ_{ph}

V_g 변화시.



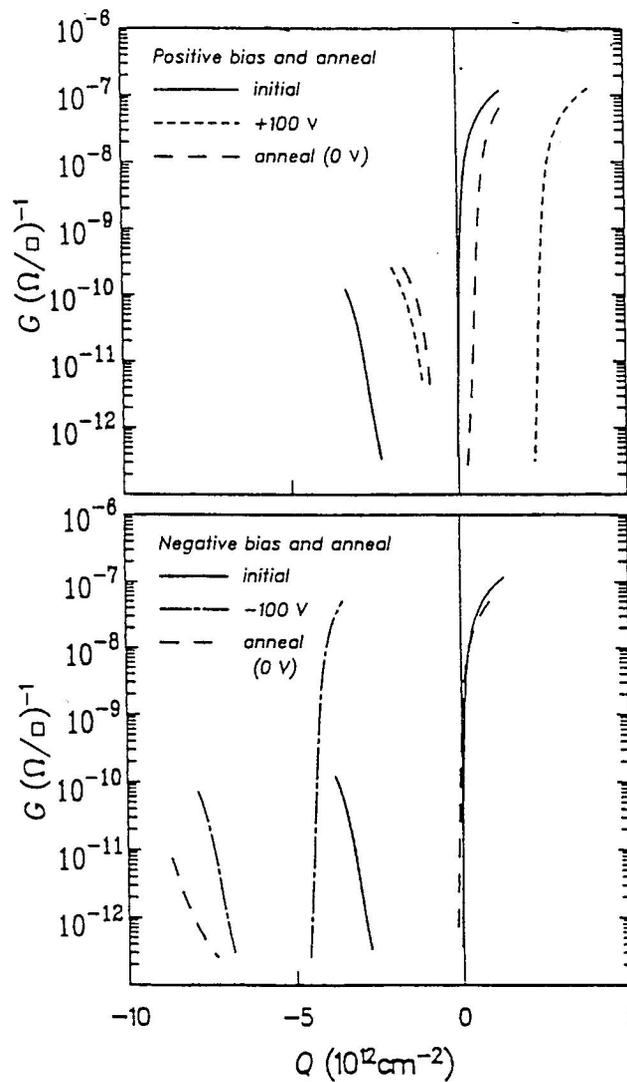


Semiconductor & Display Lab., Kyung Hee Univ.

4) Bias-annealing

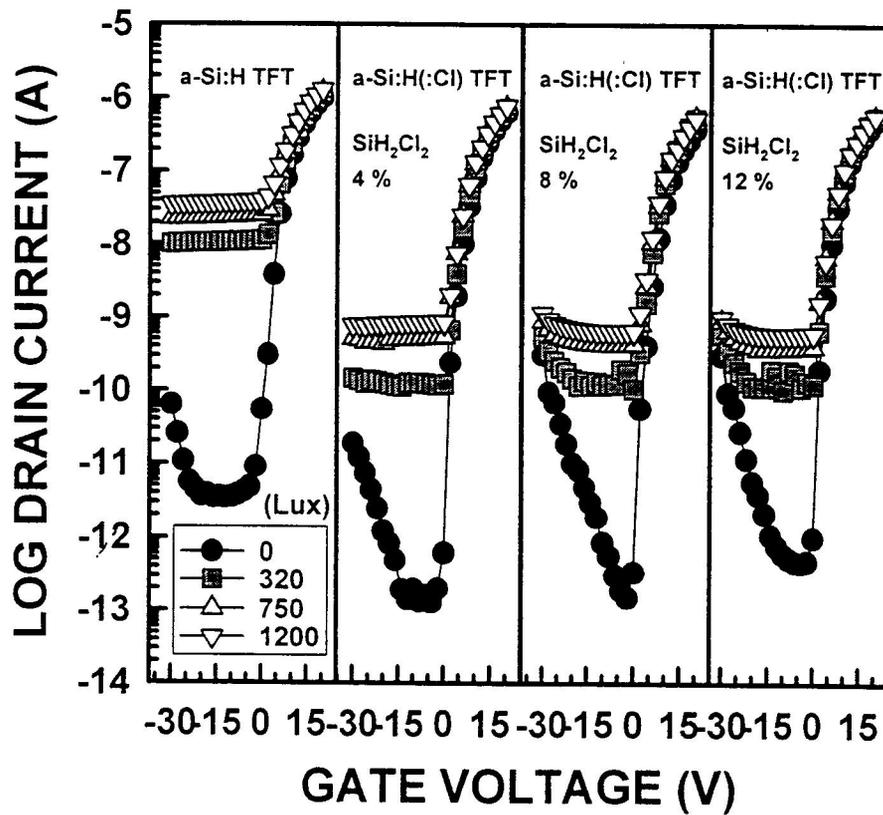
30 °C → 210 °C(1h) → 30 °C ($V_g = -100V$) |||
30 °C → 210 °C(1h) → 30 °C ($V_g = 0$)

Re-equilibrium at a new Fermi-level
A new density of states,
frozen in on cooling



Effect of bias-stress and annealing on nitride TFTs

- 5) Superlattice
- 6) Cl-incorporated a-Si:H



Comparison of the I_D - V_G characteristics between a-Si:H TFT and a-Si:H(:Cl) TFT under backlight illumination

7) Band gap 증가 (힘듦)

(i) O, N, C 첨가

V_t 증가

(ii) C_H 증가

Optimization 이 어려움

(iii) T_s 감소

C_H 증가

mobility 감소

$\sqrt{\text{subT}}$
~~원~~ 증가 \rightarrow photo 증가

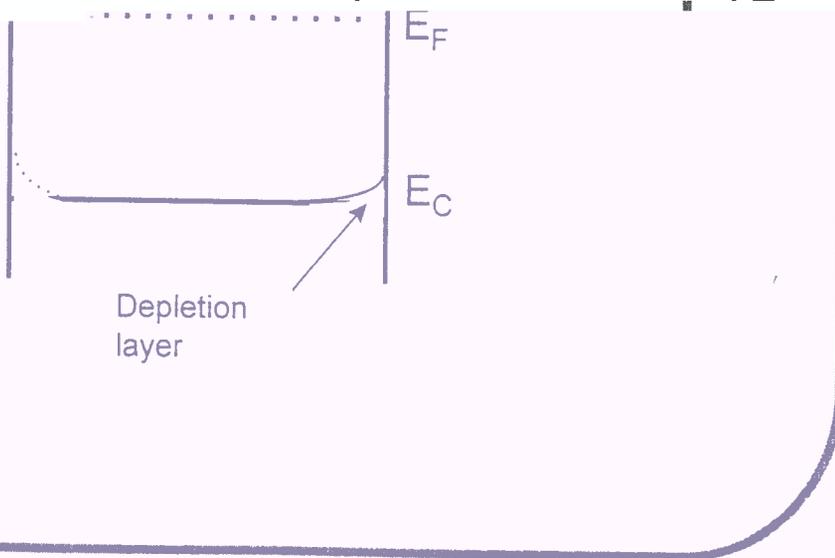
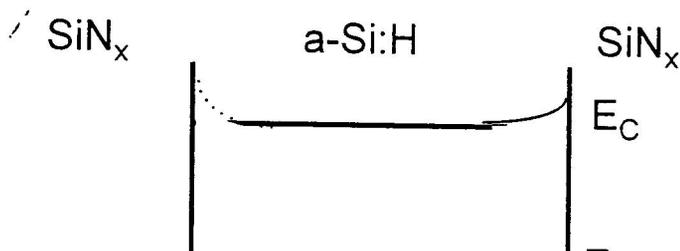
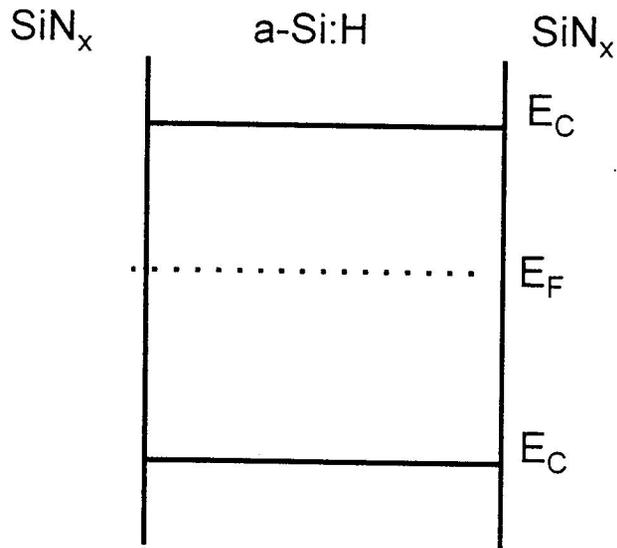
High depo rate \rightarrow ~~원~~ 증가
유리

8) Strong light soaking

N_s 증가 \rightarrow V_t 증가

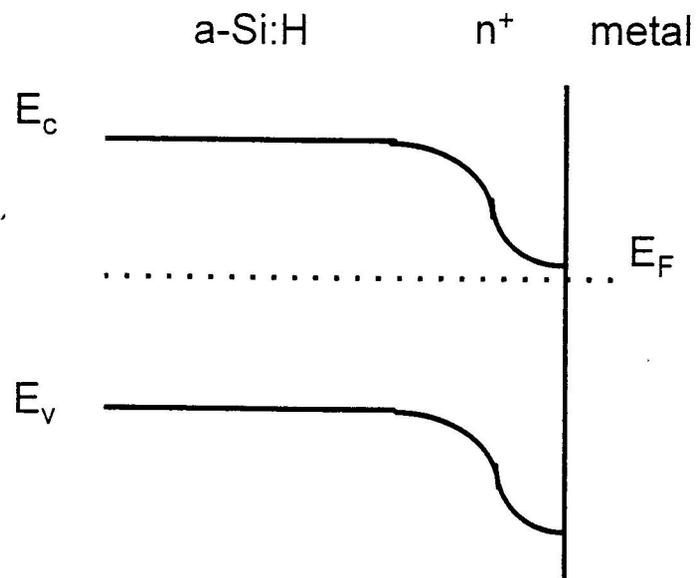
spin density 증가

○ Passivation layer
Flat band



○N⁺ contact

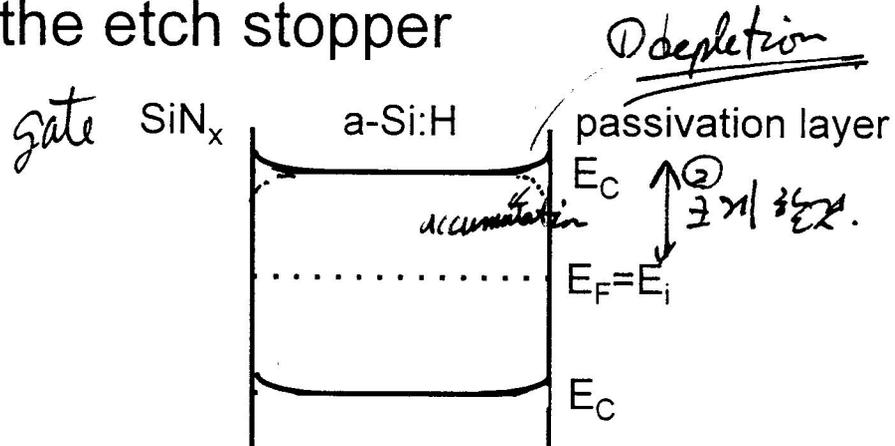
N⁺ μ c-Si with a crystalline volume fraction of > 80 %



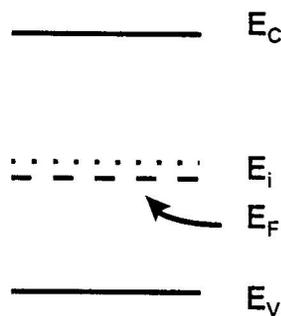
□ Conclusion

Techniques to reduce photo-leakage current in a-Si:H TFT

- Depletion layer at the back interface or the etch stopper



- Shift of E_F to just below E_i



- Increase of band gap

- Cl incorporation
- B incorporation
- H incorporation