

비정질실리콘 전계효과 트랜지스터에서 안정성에 관한 연구

배병성 · 허 준* · 최광수 · 이주천

한국과학기술원 물리학과

장 진

경희대학교 물리학과

(1987년 4월 24일 받음)

절연층으로서 비정질실리콘 나이트라이드(a-SiN:H)를 사용하여 제작된 전계효과 트랜지스터(FET:Field Effect Transistor)에서 게이트 전압 인가와 빛 조사에 의한 문턱전압(threshold voltage)의 변화를 온도와 시간에 따라 측정하였다. 문턱전압의 변화는 실리콘과 실리콘 나이트라이드의 계면에 전자포획이 일어나는 것과 관계가 있다는 것을 밝혔다. 게이트에 양의 전압을 가하면 문턱전압은 증가하고 음의 전압을 가하면 감소하였으며 이러한 변화는 온도가 높을수록 그리고 빛을 조사할 때 더욱 빨리 진행된다.

I. 서 론

비정질실리콘 반도체는 그 응용분야에 대한 많은 관심^[1]과 함께 물성에 대한 연구가 활발히 진행되고 있으며 국내에서도 이미 여러곳에서 플라즈마 CVD(Chemical Vapor Deposition)장치를 도입하는 등 이 분야에 대한 관심이 높아지고 있다. 수소화된 비정질규소(a-Si:H) 박막 트랜지스터는 넓은 면적의 제작이 가능하며 낮은 온도에서 제작할 수 있고 제작비가 낮다는 점에서 액정사용기술의 발전과 더불어 많은 관심을 받고 있다. 이러한 비정질실리콘 전계효과 트랜지스터(FET:Field Effect Transistor)의 구조는 일반적으로 그림

1과 같은 형태를 가지며 게이트에 양의 전압을 걸었을 때 밴드 구조는 그림 2와 같다. 게이트에 양의 전압을 걸면 절연층과 a-Si:H층 사이에 전자축적층이 생겨 전기전도도가 증가된다. 이 때 전장 $F(x)$ 는 다음식에 나타난 방정식의 해로부터 얻어진다.

$$\frac{dF(x)}{dx} = \frac{\rho(x)}{\epsilon} \quad (1)$$

여기서 x 는 그림 2에 나타난 바와 같이 나이트라이드와 실리콘의 경계면으로 부터 실리콘 쪽으로의 거리를,

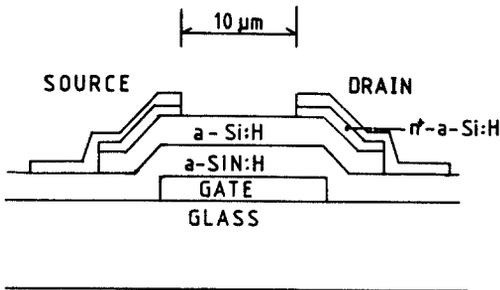


그림 1. 제작된 비정질 실리콘 전계효과트랜지스터의 단면.

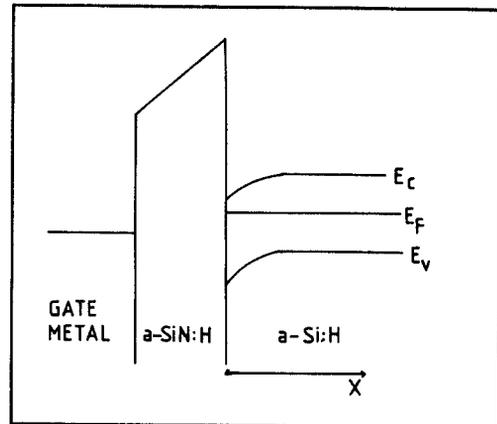


그림 2. 양의 게이트전압이 걸렸을때, 비정질 실리콘 전계효과 트랜지스터의 밴드구조.

* 현주소 : 진해기계창

ϵ 는 실리콘의 유전상수를 나타낸다. 전하밀도 $\rho(x)$ 는 다음 식으로 주어진다.

$$\rho(x) = -e(N_{loc} + n) \quad (2)$$

여기서 N_{loc} 은 금지대내의 국재상태에 트랩된 잉여전하의 수이고 n 은 밴드에 있는 잉여전하의 수이다. 비정질 반도체에서는 금지대내에 국재화된 상태들이 존재하며 이러한 상태밀도는 C-V^[2], Field Effect^[3,4], DLTS^[5] 등의 실험결과로 페르미 준위에서 $\sim 10^{16} \sim 10^{18} \text{ cm}^{-3} \text{ eV}^{-1}$ 정도로 알려져 있고 이러한 국재상태가 a-Si:H FET의 특성에 큰 영향을 미친다. a-Si:H은 바이어스나 빛의 조사(illumination) 등에 의하여 페르미 준위, 금지대 상태밀도등이 변하므로^[6] 비정질 실리콘 FET는 전기적특성이 안정하지 못한 결점이 있어 동작의 안정성, 재현성, 동작속도등을 향상시키려는 연구가 활발히 진행되고 있다.^[7,8,9]

비정질 실리콘 FET는 두께가 얇은 막막의 형태로 제작되기 때문에 표면상태 혹은 a-Si:H 층과 a-SiN:H층의 경계면의 상태가 FET의 전기적 특성에 큰 영향을 미치며 이러한 FET의 게이트전극에 전압을 걸 경우에 전장은 절연층과 경계면 근처에서 대부분 걸리게 되므로 전하 축적층은 경계면 근처에 집중되어 전류는 a-Si:H와 a-SiN:H층의 경계면 근처에서 대부분 흐른다.^[10] 따라서 게이트 전압을 가하여 FET를 동작시키려는 경우 경계면 및 경계면 근처의 나이트라이드에 있는 국재상태들이 FET의 특성변화에 중요한 역할을 한다. FET에서는 a-Si:H와 a-Si:N:H사이의 계면의 성질이 중요한데 나이트라이드(a-SiN:H)층과 a-Si:H층사이의 lattice mismatch에 의한 deep state와 weak bonds의 증가^[11]는 전하수송에 직접적인 영향을 주게 되며 나이트라이드층의 deep state에 의한 전하포획^[12]과 더불어 이러한 weak bond은 게이트바이어스나 빛의 조사에 의해 쉽게 땀글링본드(dangling bond)를 형성하기 때문에 FET의 instability에 기여한다.^[13] 그리고 나이트라이드의 trap center에 포획된 전하는 계면에 걸리는 전장을 변화시키기 때문에 FET의 문턱전압을 변화시킨다. 본 실험에서는 이러한 경계면에 작용하는 바이어스와 빛의 조사에 의한 FET의 문턱전압 및 FET의 전압-전류특성의 변화를 측정하고 경계면의 성질에 대하여 고찰하였다.

II. 실험 및 결과

본 실험에서 제작된 FET의 구조는 그림 1과 같다. 사

진식작공정^[14]을 이용하여 nitride가 아래에 위치한 bottom nitride의 inverted-staggered 구조의 FET를 제작하였으며 channel의 길이는 $10 \mu\text{m}$ 이고, 폭은 $200 \mu\text{m}$ 이다. 그리고 다중 간섭무늬의 관찰로 측정 한 nitride층의 두께는 $3,800 \text{ \AA}$, a-Si:H층의 두께는

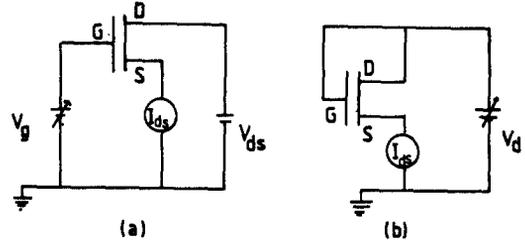


그림 3. 측정회로 a) 게이트전압 대 드레인-소오스전류. b) 문턱전압 측정.

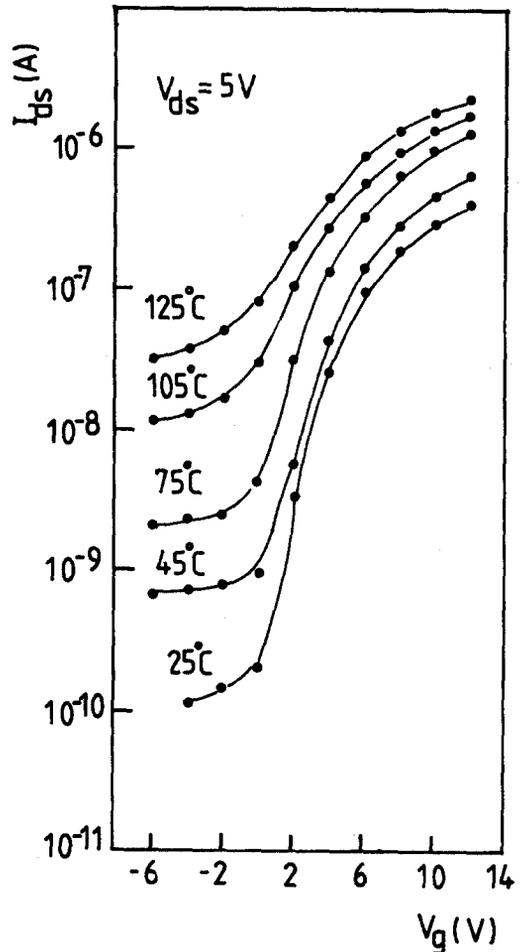


그림 4. 시료의 온도에 따른 게이트전압 대 드레인-소오스전류 특성의 변화.

2.300 Å이다. 비정질실리콘은 플라즈마 CVD 장치에서 제작하였으며 이 때 R.F. power는 0.1W/cm², 증착시 압력은 0.2Torr, 증착속도는 0.6 Å/s이고 나이트라이드 증착시 사이렌과 암모니아 가스의 압력비는 1 : 7.5이다.

FET 제작 방법은 유리기판 위에 전자빔 방법으로 Cr을 증착한 후 사진식각공정을 이용하여 게이트 전극을 만들고 나이트라이드와 실리콘, n⁺-a-Si:H층을 차례대로 증착한다. 사진식각공정을 이용하여 실리콘 pattern을 만든 후 Al을 증착하여 소오스-드레인 전극을 형성하였다.

드레인과 소오스 사이에 5V의 전압을 유지하고 게이트 전압을 변화시키면서 전류 I_{ds}를 그림 3 (a)에 나타난 회로를 이용하여 측정할 결과가 그림 4에 나타나 있다. 여러온도에서의 특성을 나타내며 주어진 게이트 전압에 대한 전기전도도의 Arrhenius plot에서 구한 활성화에너지가 그림 5에 나타나 있다. 게이트에 양의 전압을 증가시키면 계면근처에서 전도모서리 (E_c)는 그림 2와 같이 페르미 준위 쪽으로 휘고 계면에 전자의 축적층이 생겨 전기전도도는 증가하게 되고 전기전도도 활성화에너지는 감소하게 된다.

백색광(텅스텐-할로겐 램프)을 흡수 필터(filter)를 사용하여 6,000 Å과 8,000 Å 사이의 빛만 통과시켜 (80mW/cm²) 1시간 동안 쬐인 후의 FET특성이 그림 6에 나타나 있다. 이러한 변화는 160 °C에서 1시간

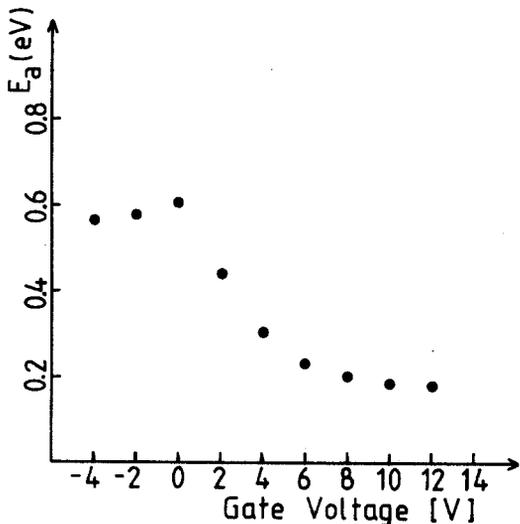


그림 5. 게이트전압 변화에 따른 전기전도도 활성화에너지

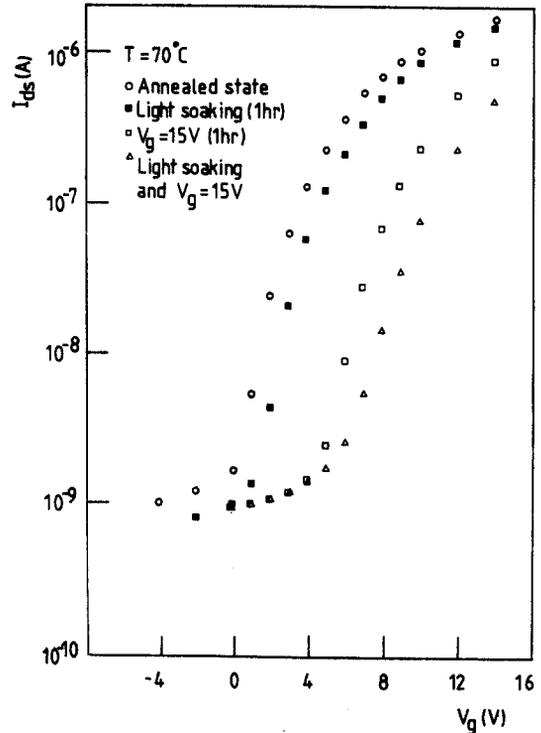


그림 6. Annealed satate, 1시간 빛을 주었을 때, 1시간 게이트바이어스를 주었을 때, 빛과 게이트 바이어스를 동시에 1시간 주었을 때 게이트전압 대 드레인-소오스 전류특성의 변화.

정도 아닐링할 경우 다시 원래의 상태로 회복된다.

소오스-드레인 사이의 전압을 5V, 게이트 전압을 15V로 유지하면서 시간에 따른 전압-전류 특성을 조사하면 그림 6과 같이 문턱전압이 증가하는 방향으로 특성곡선이 이동함이 관찰이 되는데 1시간 후에 측정할 결과가 그림 6에 나타나 있다.

그림 3 (b)와 같이 회로를 구성하여 V_d와 I_{ds}를 측정하여 μ_{FE} (field effect mobility)와 문턱전압 V_{th}를 측정할 수 있는데, 이 때 소오스-드레인 전류는 근사적으로

$$I_{ds}^{1/2} = \left(\frac{CW}{2L} \mu_{FE} \right)^{1/2} (V_d - V_{th}) \quad (3)$$

로 주어진다.^[15] 여기서 C는 게이트의 단위면적당 전기용량이고 W는 소오스-드레인의 폭, L은 소오스-드레인 사이의 길이이다. 식 (3)은 결정질반도체에 대해 유도된 식이나 바이어스가 클 경우에 비정질에 대해서도 근사적으로 성립하며 자주 이용된다.^[16] 그러나 Hyun^[17] 등은 금지대상태가 존재하는 비정질실리콘에서는

$$I_{ds}^{1/\beta} = K (V_d - V_{th}) \quad (4)$$

에서 β 가 2 대신 2.85로 계산된다고 주장하였다. 본 연구에서는 식 (3)을 사용하여 문턱전압 및 이동도를 구하였다.

여러 측정 온도에서 게이트전압인가에 의한 문턱전압의 변화를 측정된 결과가 그림 7에 나타나 있다. 각 온도에서 시간에 따른 문턱전압의 변화량을 나타내었다. 온

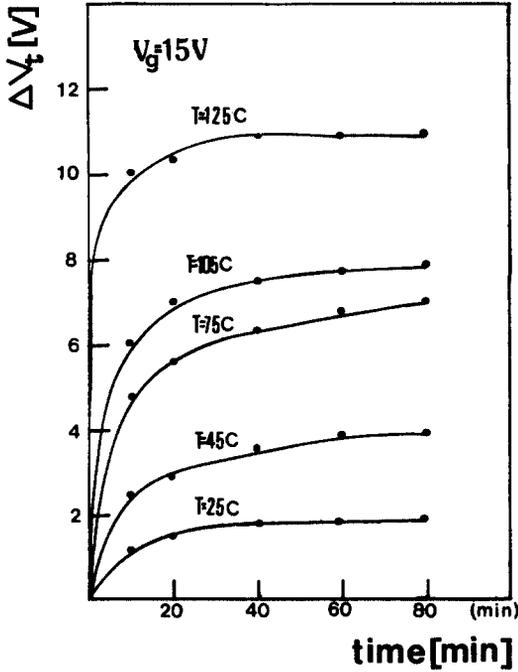


그림 7. 15V 게이트 바이어스에서 문턱전압이동의 온도 의존성.

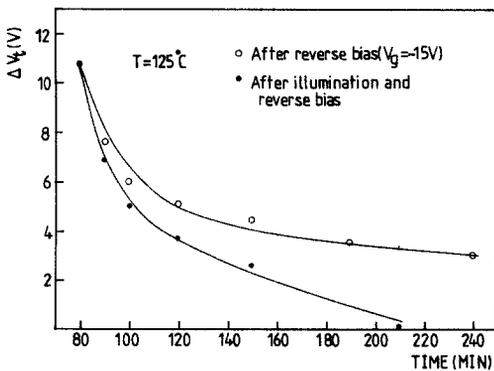


그림 8. 15V 게이트전압을 80분 가한 후, -15V로 게이트전압을 바꾸었을 때 문턱전압의 시간에 따른 변화

도가 높을수록 변화량이 크다. Annealed state 에서의 문턱전압은 V_{th0} 이고 ΔV_{th} 는 $V_{th} - V_{th0}$ 로 정의하였다.

이러한 문턱전압의 이동은 게이트에 걸리는 전압을 역으로 하면 역방향으로 나타나는데 125°C의 온도에서 게이트전압 15V를 가하고 80분이 지난 후 게이트 전압의 극성을 바꾸면 그림 8에 나타난 바와 같이 V_{th} 는 다시 감소한다. 이러한 변화는 빛을 동시에 가할 경우 더욱 빨리 진행된다.

본 실험 결과에서 빛과 게이트전압에 의해서 a-Si:H FET의 특성이 많이 변함을 알 수가 있으며 이러한 변화는 문턱전압의 이동으로 나타나는데 문턱전압의 이동은 금지대내의 상태밀도증가나 혹은 나이트라이드에서의 전자포획 등에 의하여 일어날 수 있다.

비정질실리콘에서 결합으로는 실리콘 덩굴링본드 (dangling bond)가 중요한데 이러한 덩굴링본드는 빛을 쬐이거나 도핑 등에 의하여 증가함이 관찰되며 [18,19] 덩굴링본드 증가에 의한 금지대내의 상태밀도증가는 그림 9의 점선과 같이 밴드width를 감소시키고 덩굴링본드에 포획된 전하는 계면에서 전장을 감소시키므로 문턱 전압은 증가하게 된다. 이러한 변화는 빛을 쬐여서 금지대내의 상태밀도를 증가시키므로서 관찰할 수 있다(그림 6)

그림 10 (A)와 같이 Si 원자 주변에 국재화된 잉여 전하가 있을 때 이러한 잉여 전하까지 포함하여 외각전자의 수는 5가되고 8-n rule에 따라 결합수는 3이되어 그림 10 (B)와 같이 덩굴링본드가 생성된다고 본다.^{18, 20} 즉 다음과 같은 반응으로 나타낼 수 있다(원소기호의 아래 첨자는 결합수(coordination number)를 나타

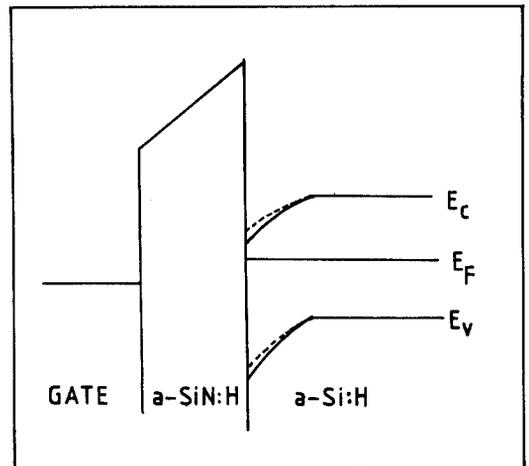
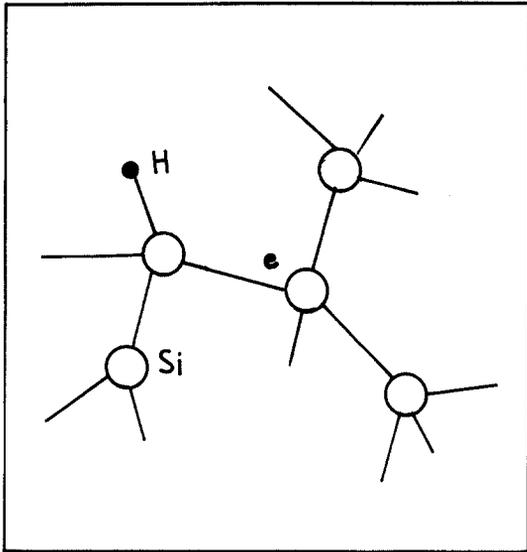
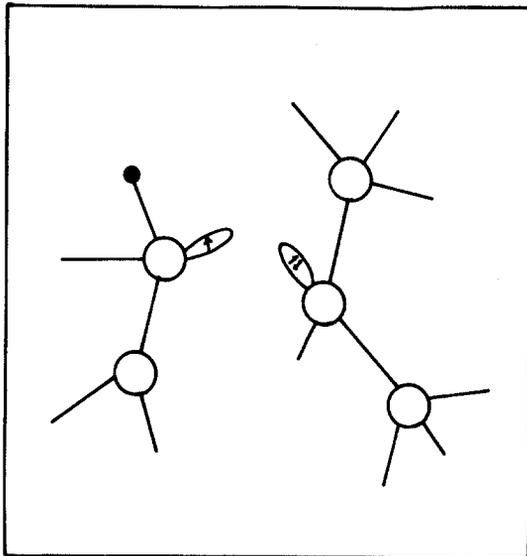


그림 9. 금지대 상태밀도가 증가할 때, 밴드그림의 변화 (실선에서 점선으로 변함).



(A)



(B)

그림 10. 실리콘 원자 주변에 국재전자가 있을 때(A), 덩굴링본드의 형성(B)

냄).



따라서 게이트전압에 의해 전하축적층이 생기면 잉여 전자에 의해 덩굴링본드가 생성되며 금지대내의 상태밀도

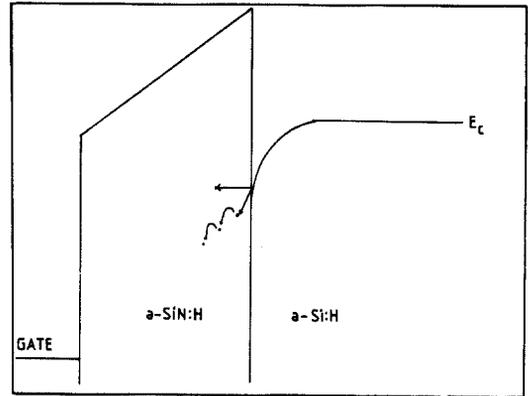


그림 11. 장벽투과와 호핑에 의한 나이트라이드에서의 전하포획.

는 증가하고 문턱전압은 증가하게 된다.

그리고 계면상태이나 나이트라이드 내에 존재하는 포획 중심(trap center)에 의한 전하포획도 일어날 수 있는데 나이트라이드 내부에는 많은 defect state들이 존재하며^[21] 그림 11과 같이 나이트라이드로 phonon assisted tunneling과 호핑(hopping) 과정으로 축적된 전하는 계면에서의 전장을 감소시키게 되며 문턱전압은 증가한다. 이러한 장벽투과와 호핑의 방향은 게이트전압이 반대로 되면 반대가 된다. 그림 6에서 빛만 쬐었을 경우 1V의 문턱전압 이동, 바이어스를 가하였을 경우 5V의 문턱전압 이동이 관찰되는데, 빛만 쬐었을 경우는 나이트라이드내의 전하포획은 작으므로 대부분 금지대내의 상태밀도의 변화에 의한 것이다. 그림 6에 나타난 두 특성의 비교에서 나이트라이드 내의 전하포획효과가 크다는 것을 알 수 있다. 빛을 쬐이거나 온도를 증가시키면 나이트라이드로의 장벽투과와 호핑은 더욱 증가하여 문턱전압의 이동은 더욱 커질 것인데 이것은 그림 7에 나타나 있다. 게이트의 전압을 반대로 하였을 때 그림 8에서 보는 바와 같이 문턱전압의 이동도 반대로 되며, 이것이 빛의 조사에 의해 가속이 됨도 그림 8에서 확인할 수 있다. 이상에서 a-Si:H FET의 instability는 주로 전하 운반자가 나이트라이드에 포획되어 일어난 것임을 알 수 있다.

III. 결 론

비정질실리콘과 비정질실리콘 나이트라이드를 이용한 박막트랜지스터를 제작하고 상온에서 약 10^4 의 on/off 비를 얻었으며 게이트 바이어스와 빛의 조사에 의해 문턱전압(V_{th})이 변함을 관찰하였다. 양의 게이트 바이어스 스트레스에 의해 V_{th} 는 증가하는데 이것은 온도가

높을수록 빨리 진행되고 게이트에 음의 전압을 가하면 반대로 V_{th} 는 감소하며 이것은 빛을 쬐었을 때 촉진된다. 그리고 빛을 쬐었을 때 ($80\text{mW}/\text{cm}^2$, 1시간) 1V, 게이트 바이어스를 가하였을 때에 (15V, 1시간) 5V의 문턱전압 변화를 관찰하였다. 바이어스를 역으로 하였을 때 문턱전압의 감소를 보이고 빛을 조사시킬 때에 감소가 가속된다. 그리고 온도가 높을수록 문턱전압의 이동은 빨라진다. 이러한 실험결과는 계면에서의 전하포획 때문에 V_{th} 가 변화되는 것으로 해석된다. 따라서 바이어스 instability를 줄이기 위해서 trap density가 적은 나이트라이드가 제작이 되어야 하고, 계면에서의 장벽투과, hopping conduction 그리고 뎅글링본드의 생성에 대한 정량적인 규명이 필요하다.

참 고 문 헌

- [1] R.K. Willardson and A.C. Beer, *Semiconductors and Semimetals* Vol.21. D, (Academic Press, 1984), p.89.
- [2] M. Hirose, T. Suzuki and G.H. Dohler, *Appl. Phys. Lett.* **34**, 234 (1979).
- [3] W.E. Spear and P.G. Lecomber, *Phil. Mag.* **33**, 935 (1976).
- [4] N.B. Goodman, *Phil. Mag.* **B45**, 407 (1982).
- [5] D.V. Lang, J.D. Cohen, J.P. Harbison, *Phys. Rev.* **B25**, 5285 (1982).
- [6] R.K. Willardson and A.C. Beer, *Semiconductors and Semimetals* Vol.21. C, (Academic Press, 1984), p.347.
- [7] M. Tsukude, S. Akamatsu, S. Miyazaki and M. Hirose, *Jpn. J. Appl. Phys.* **26**, L111 (1987).
- [8] R.E.I. Schroop and J.F. Verwey, *Appl. Phys. Lett.* **50**, 185 (1987).
- [9] M. Hack, M. shur and W. Czubytyj, *Appl. Phys. Lett.* **48**, 1386 (1986).
- [10] N.B. Goodman and H. Fritzsche, *Phil. Mag.* **B42**, 149 (1980).
- [22] T. Yoshimura, K. Hiranaka, T. Yamaguchi, S. Yanagisawa and K. Asama, *MRS Symp. Proc.* **70**, 373 (1986).
- [12] M.J. Powell *Appl. Phys. Lett.* **43**, 597 (1983).
- [13] A.R. Hepburn, J.M. Marshall, C. Main, M.J. Powell, and C. Van Berkel, *Phys. Rev. Lett.* **56**, 2215 (1986).
- [14] D.J. Elliott, *Integrated Circuit Fabrication Technology* (Mcgraw Hill, 1982), p.1.
- [15] R.S. Muller and T.L. Kamins, *Device Electronics for Integrated Circuits*, (Wiley, New York, 1977), p.350.
- [16] K.D. Mackenzie, A.J. Snell, I. French, P.G. Le Comber, and W.E. Spear, *Appl. Phys.* **A31**, 87 (1983).
- [17] C. Hyun, M.S. Shur, M. Hack, Z. Yaniv, and V. Cannella, *Appl. Phys. Lett.* **45**, 1202 (1984).
- [18] D.L. Staebler, C.R. Wronski, *J. Appl. Phys.* **51**, 3262 (1980).
- [19] M. stutzmann, W.B. Jackson, and C.C. tsai, *Phys. Rev.* **B32**, 23 (1985).
- [20] R.A. Street, *Phys. Rev. Lett.*, **49**, 1187 (1982).
- [21] A.K. Sinha and T.E. Smith, *J. Appl. Phys.* **49**, 2756 (1978).

Stabilities of Amorphous Silicon Field Effect Transistor

Byung-Seong Bae, Jun Huh, Kowang Su Choi, Choochon Lee

Department of Physics

Korea Advanced Institute of Science and Technology

P.O. BOX 150, Cheongryang, Seoul

Jin Jang

Department of Physics

Kyung Hee University

(Received: April 24, 1987)

For the fabricated amorphous silicon thin film transistors, we have measured gate voltage dependence of threshold voltage. The effects of temperature and illumination on the shift of threshold voltage have also been studied. The threshold voltage increased with time under the positive gate bias and decreased under the negative gate bias, and these processes were enhanced under the illumination and at elevated temperature. The interface plays an important role in the instability, and the threshold voltage shift is due to the charge trapping in the interface rather than to the dangling bond creation.